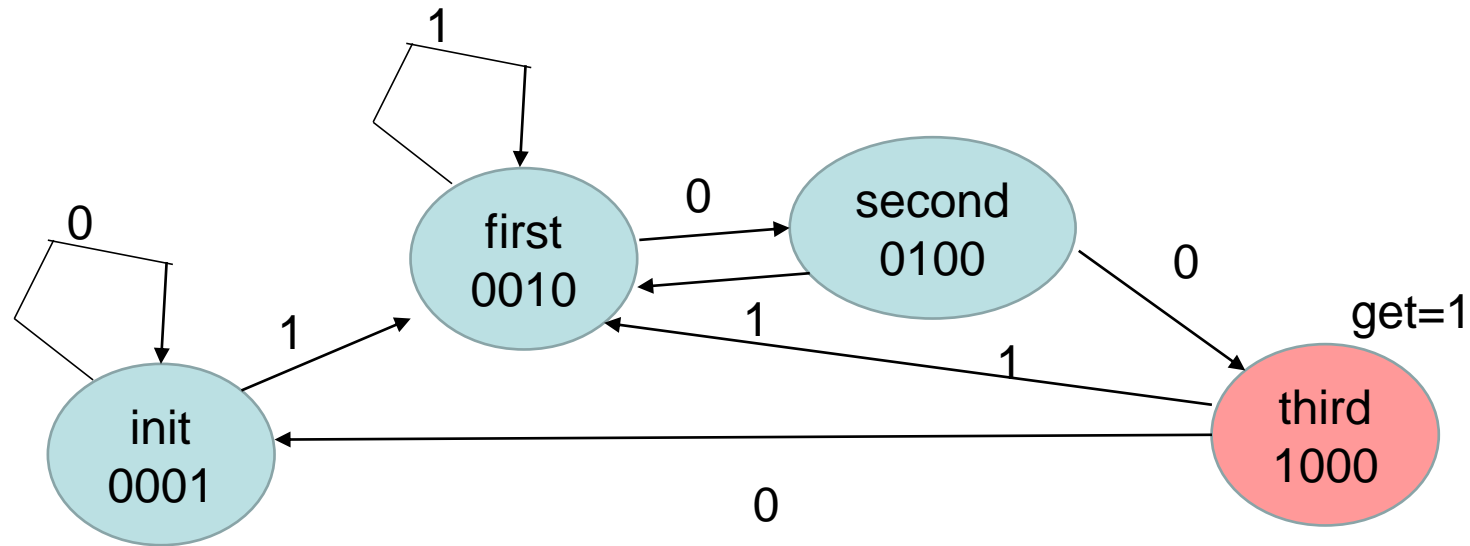


状態遷移の記述



この状態遷移図は、シリアル入力dinが100のパターンになった時にget=1にする。シリアル転送でヘッダを抽出する場合などに使う。

Verilogは状態に二進数を自動的に割り当ててくれないので設計者が割り当てる。

ここではOne-hot counterと言って1ビットだけが1になるパターンを使う

One-hot counterは必要ビット数が多いが、状態の検出が簡単で、ビット変化が2ビットに限定される利点がある。

状態遷移の記述例

```
`define INIT      4'b0001
`define FIRST    4'b0010
`define SECOND   4'b0100
`define THIRD    4'b1000
```

```
module head_detect(
    input clk, rst_n, din,
    output get);
```

```
reg [3:0] stat;
```

```
assign get = (stat == `THIRD);
```

case文を使うとすっきり書ける

```
always @(posedge clk or negedge rst_n) begin
```

```
    if(!rst_n) stat <= `INIT;
```

```
    else
```

```
        case (stat)
```

```
            `INIT: if(din) stat <= `FIRST;
```

```
            `FIRST: if(!din) stat <= `SECOND;
```

```
            `SECOND: if(din) stat <= `FIRST else stat <= `THIRD;
```

```
            `THIRD: if(din) stat <= `FIRST else stat <= `INIT;
```

```
        endcase
```

```
    end
```

```
endmodule
```