

モジュール文

- Verilogはハードウェアをモジュールという単位で表現します。これを書くのがモジュール文です。構文は下のようになります。

```
module モジュール名 (  
    input 入力端子名1, 入力端子名2,...,  
    output 出力端子名1,出力端子名2,...);  
モジュールの中身の文  
endmodule
```

- input, outputは、入れ替えても、混ぜてもOKです。

モジュール文の例

```
module adder (  
  input a,b, output s);  
  assign s = a+b; 中身  
endmodule
```

なぜかセミコロンが要る

ハードウェアモジュールは
モジュール文で定義、
パラメータの書き方はC言語
と似ている。

endmoduleで終わる
ここにはセミコロンをつけては
ダメ

adder.v: 拡張子は.v、ファイル名は
トップモジュール名と同じにする

間違えやすい所

- 入出力文はカンマで区切るが、最後の)の前にはカンマがあってはダメ
- module文にはセミコロンが必要
- しかし、endmodule文には必要ない
- module名に予約語を使う
 - module and(....); はエラー
 - なぜならandは予約語だから、、、