

情報工学科 計算機構成 2013 年 期末試験回答例 (担当:天野 持ち込み何でも可)

以下は回答の一例です。他にもリーゾナブルな回答には満点あるいは部分点をあげています。

1. 0 番地に A, 1 番地に B が入っている。(A-B)AND(A+B) を計算し、答えをレジスタ 3 に入れる POCO のプログラムをアセンブリ言語で記述せよ。

```
LDI r0,#0
LD r1,(r0)
LDI r0,#1
LD r2,(r0)
MV r3,r1
SUB r1,r2 // A-B
ADD r3,r2 // A+B
AND r3,r1 // (A-B) AND (A+B)
```

中間結果をメモリに入れる必要はないです。また 3 番地に答えを入れる必要もないです。無駄な命令が多くても、とにかく r3 に正解が入っている答えは満点です。r3 に正解が入っていない場合、減点してあります。

2. 問題 1 のプログラムの最初の 4 行を機械語に変換せよ。

```
01000_000_00000000
00000_001_000_01000
01000_000_00000001
00000_010_000_01000
```

4 行って書いてあるじゃないですか！なんで全部を変換して時間を無駄にするのでしょうか？もちろん 4 行分が正解の方は満点ですが、全部変換しておいて試験時間が足りないと文句を言ってはいけません。

3. 8bit の入力 A,B と選択入力 S を持ち、S=0 の時は A+B を、S=1 の時は A-B を計算し、Y に出力するモジュールを Verilog HDL で記述せよ。

```
module addsub (
input [7:0] a,b,
input s,
output y );
assign y = s ? a-b: a+b;
endmodule
```

明確な文法エラーは減点してあります。

4. マルチサイクル CPU のシングルサイクル CPU に対する利点を簡単に説明せよ。

メモリや ALU などの資源の共有が可能なのでハードウェア量が小さくて済む。クロック周波数を上げることができる。

の二つが利点です。周波数は上がりますが、その分 CPI が大きくなるため、性能が上がるとは限りません。命令セットによってはマルチサイクルの方が有利になりますが、POCO の場合は不利になります。消費電力については周波数が上がった分上がるので利点になりません。エネルギー効率は特に最近の漏れ電流の多いプロセスでは上がるかもしれないのですが、これを論じてくれた人はいませんでした。

5. 論理合成を行う場合、目標周期を小さくしすぎて slack がマイナスになった場合、どのような問題が生じるかを簡単に説明せよ。

論理合成ツールがクリティカルパスを小さくしようとして無理をするため、ハードウェア量が大きくなり、このため消費電力も大きくなることが多いです。

目標周期よりも、周期が大きくなってしまふ（周波数が下がる）と書いた方も事実なので満点としましたが、周波数が上がると書いた方は、0点です。確かに slack がマイナスでも目標周波数に近づけようとツールががんばるので、周波数が上がる場合もあります。でもこれは「問題」じゃなくてハッピーなことですよ？なので0点です。このように書いた方は、実は周期と周波数の区別がついてなかったりするので、情報工学科としては困ります。気をつけましょう。

6. 下のコードはサブルーチンの出口で、レジスタを復帰している部分である。これに対応した、レジスタを退避するコードを書け。

```
...
LD r7,(r6)
ADDI r6,#1
LD r1,(r6)
ADDI r6,#1
JR r7
```

PUSH と POP は逆順になります。この問題は部分点の余地はないと思います。

```
ADDI r6,#-1
ST r1,(r6)
ADDI r6,#-1
ST r7,(r6)
```

7. 0 番地から 8 つの正の整数が並んでいる。このうち奇数の個数を調べるプログラムを書け。結果は r6 に入れよ。

```
LDI r0,#0
LDI r6,#0
LDI r2,#8
LDI r3,#1
loop: LD r4,(r0)
AND r4,r3
BEZ r4,skip
ADDI r6,#1
skip: ADDI r0,#1
ADDI r2,#-1
BNZ r2, loop
end: BEZ r2, end
```

r0 を 7 に初期化してポインタとカウンタを兼用させるともう少しプログラムが簡単になります。ちなみに、2 進数で奇数を調べるには一番下のビットが 1 かどうかを調べれば良いので、1 と AND するのが普通です。2 を引きつけて 0 になったら偶数というプログラムが多数見られましたが、これは性能的に余りにも無駄が大きいです。今回は答えが出るものは満点としましたが、情報工学科としては 2 進数の性質の基本は知っておいてください。

8. 添付の POCO の Verilog 記述と図 1 のデータパスが食い違っている点を一つ述べよ。（たくさんあるのでどれでもよい）

図 1 は JAL, JMP, JR が実装されているのに、Verilog コードにはそれがないというのが一番大きいです。このため、pc の入力マルチプレクサ、cadr の選択回路、rf_c の選択回路が違っています。func2..0 がおかしいと書いてくれ

の方が結構いたのですが、これは func の下位 3 ビットで ALU のコマンドを選択するので間違いではないです。この問題は、記述と図の食い違いを探すのであって、設計のミスを探すのが趣旨ではないです。

9. 64K ワードのアドレス空間に対して 4K ワードのキャッシュを設ける。ブロックアドレスを 16 ワードとした時、4way set associative cache のキャッシュディレクトリ (タグメモリ) の構成を示せ。

キャッシュ上には $4K/16=256$ ブロック置くことができます。4set の場合これを 4 つのセットに区切るので、各 64 ブロックになり、index は 6 ビットになります。key は $16-4-6=6$ ビットです。したがって、6 ビット幅で深さ 64 のメモリを 4 セットでディレクトリを構成すれば良いです。

10. あるスーパーコンピュータは 1000 プロセッサを持っていて、プログラムの並列化可能な部分については 1 プロセッサで実行する場合の 1000 倍性能が上がる。並列化が 99% 可能だが、残りは 1 プロセッサで実行できないプログラムの性能は、何倍に上がるかを計算せよ。

単純に Amdahl の法則に代入すれば良いです。並列実行後の実行時間の比率は、 $0.01+0.99/1000=0.01099$ になるので、この逆数を取って約 91 倍になります。

全 10 点