

慶應義塾大学試験問題用紙 (日吉)

				試験時間	50 分	分
平成 31 年 1 月 29 日(火)4 時限施行		学部	学科	年	組	採点欄 ※
担当者名	天野 英晴 君	学籍番号				
科目名	計算機構成同演習	氏 名				

1-1. 0 番地の内容と A、4 番地の内容を B とする時、 $(A+B)$  AND  $(A \cdot B)$  を計算する MIPS アセンブラプログラムを書きなさい。

```
lw $1,0($0)
lw $2,4($0)
add $3,$1,$2
sub $4,$1,$2
and $5,$3,$4
```

1-2. A が 0x90000000 番地、B が 0x90000004 番地であった。1-1 と同じ MIPS プログラムを書きなさい。

```
lui $6,0x9000
lw $1,0($6)
lw $2,4($6)
```

あとは 1-1 と同じ。ディスプレイースメントに 32bit は書けないので、レジスタに入れておくしかない。この辺は I/O の回にやったのだが、正答率が非常に低かった。

2. 2→3→5→7 と数えて 2 に戻る素数カウンタ prime を Verilog HDL で記述せよ。3bit 出力を cnt とし、入力としてクロック信号 clk、リセット信号 rst\_n(0 で cnt が 2 になる)を設けよ。

```
module prime ( input clk, rst_n, output reg [2:0] cnt );
always @(posedge clk or negedge rst_n)
    if(!rst_n) cnt <= 2;
    else case (cnt)
        2: cnt <=3;
        3: cnt <=5;
        5: cnt <=7;
        7: cnt <=2;
    endcase
endmodule
```

if else を並べても OK。

3. 正の数 A、B がそれぞれ \$1,\$2 に入っている時、両者の差の絶対値を求めて \$3 に入れる MIPS アセンブラプログラムを書きなさい。

```
slt $4,$1,$2 // if $1<$2
beq $4,$0,skip
sub $3,$2,$1
j end
skip: sub $3, $1,$2 // else
```

end: j end                   もちろん j の代わりに beq \$0,\$0 でも OK 答は\$3 に入る

4. 3 のプログラムをサブルーチン abs の形にしてください。

abs: 3 のプログラム

.....

end: jr \$31

5. 以下は MIPS のシングルサイクルマイクロアーキテクチャの VerilogHDL 記述で、pc の制御を行う部分である。beq 命令と bne 命令を実装するために、X にはどのような記述を入れれば良いか？ただし、命令メモリからの入力は、

```
input[31:0] instr,
```

として定義されていたとする。必要に応じて中間の信号を wire で定義しても良い。

```
always @(posedge clk or negedge rst_n)
```

```
  if(!rst_n) pc <=0;
```

```
  else if (( beq_op & zero) & (bne_op & !zero) )
```

```
    pc <= pc +4 + X;
```

```
  else pc <=pc+4;
```

```
wire [31:0] signimm;
```

```
assign signimm = {{16{instr[15]}},instr[15:0]};
```

X: {signimm[29:0],2'b0} もちろん、いきなり {{14{instr[15]}},instr[15:0],2'b00}でも良い。この方が賢い。

6. シングルサイクル版の CPU S はプログラム A を 5 秒、B を 8 秒で実行した。一方、マルチサイクル版の CPU M はプログラム A を 10 秒、B を 12 秒で実行した。どちらがどれだけ高速か？概数で答えよ。

プログラム A では S は M の  $10/5=2$  倍速い。B では S は M の  $12/8=1.5$  倍速い。 $\sqrt{2 \times 1.5} = \sqrt{3} = 1.73$

ここは相乗平均であり、相加平均を取ってはいけない。

7. 1Mbyte の主記憶に対して、64Kbyte のキャッシュを設ける。ブロックサイズを 64byte とした場合、2way set associative cache, 4way set associative cache のディレクトリ構造はどのようになるかを示せ。

ダイレクトマップのキャッシュを考える。

キャッシュには  $(2 \text{ の } 16 \text{ 乗}) / (2 \text{ の } 6 \text{ 乗})$  で、 $2 \text{ の } 10 \text{ 乗}$  個のブロックが載る。したがって index は 10 ビット。一方、主記憶は、 $(2 \text{ の } 20 \text{ 乗}) / (2 \text{ の } 6 \text{ 乗})$  で、 $2 \text{ の } 14 \text{ 乗}$  のブロックが載る。tag は  $20-10-6 = 4\text{bit}$  となる。

2way は 幅 5bit の tag が  $2 \text{ の } 9 \text{ 乗} = 512$  エントリのディレクトリ  $\times 2$

4way は 幅 6bit の tag が  $2 \text{ の } 8 \text{ 乗} = 256$  エントリのディレクトリ  $\times 4$  必要となる。

8. データキャッシュのミス率が 5%、命令キャッシュのミス率が 1%、ミスペナルティが 20 クロック、読み出し命令の生起確率を 18% とし、理想の CPI が 1 の場合、キャッシュを考慮した CPI はいくつになるかを示せ。

$1+0.01 \times 20+0.18 \times 0.05 \times 20=1.38$

9. 強力な DMA を装備することで、I/O の性能を 10 倍向上することができた。I/O の全体に占める時間が 20% である場合、全体の性能はどのようになるかを示せ。

$1 / (1 - 0.2 + 0.2/10) = 1/0.82 = 1.22$     1.22 倍になる

10. RISC 型の命令セットアーキテクチャがコンピュータアーキテクチャの世界を制している理由はなぜかを簡単に説明せよ。

レジスタ同士でしか演算を許さず、単一長で単純な命令セットは、高速処理に適しているため。とかなんとか書いてくれれば広く正解とした。