

慶應義塾大学試験問題用紙 (日吉)

		試験時間		50 分		分	
平成 29 年 1 月 24 日(火)4 時限施行		学部		学科		年 組	
担当者名	天野 英晴 君	学籍番号					
科目名	計算機構成同演習	氏 名					
		採点欄		※			

問題中に不明な点がある場合や、手元に資料がない場合は、各自判断して答え、その旨を記してください。

- 0x1010 番地に A、0x1011 番地に B が入っている。(A+B) AND (A<<1)を計算し、答えを 0x1012 番地に格納する POCO のプログラムをアセンブリ言語で記述せよ。(ヒント LDHI 命令を使う)
- 問題 1 のプログラムの最初の 3 行を機械語に変換せよ。
- stop 入力を 1 にすると、偶数の目で停止するイカサマサイコロを Verilog HDL で記述せよ。入力は stop およびクロック信号 clk、リセット信号 rst_n (0 で cnt が 1 となるとし、出力は 3 ビットの目を表すカウンタ出力 cnt とせよ。
- 0 番地から 15 番地までの 16 個の符号付き数のうち、負の数がいくつあるかを数えて、答えを 0x10 番地に書き込むプログラムを書け。
- 除算サブルーチン div は、r4/r5 を計算し商を r2、余りを r3 に格納する。この除算サブルーチンを利用し、0 番地から 15 番地までの 16 個のデータのうち 3 の倍数がいくつあるかを数えて、その答えを 0x10 番地に書き込むプログラムを書け。
- 全ての命令を 2 サイクルで実行する 2 サイクル版 POCO2 を目標周期 5nsec で論理合成したところ、slack が 0.1nsec となった。一方、全ての命令を 3 サイクルで実行する POCO3 を目標周期 4nsec で論理合成したところ、slack が-0.1nsec となった。どちらが、どれだけ高速かを求めよ。
- LDIL rd,#X 命令は、イミーディエイト部分の 8 ビット X をレジスタ rd の下位 8 ビットに書き込むが、rd の上位 8 ビットは元の値を維持する命令である。添付の POCO の Verilog 記述をどのように変更すれば良いかを示せ。def.h には LDIL が定義されているとする。
- 4M ワードの主記憶に対して 64K ワードのキャッシュを設ける。ブロックサイズを 64 ワードとした時、(1) ダイレクトマップキャッシュのディレクトリ構成、(2) 4-way セットアソシアティブキャッシュのディレクトリ構成をそれぞれ述べよ。
- TLB(Translation Lookaside Buffer)は、ダイレクトマップ方式や 2way セットアソシアティブ方式よりもフルアソシアティブ方式を用いることが多い。この理由を簡単に述べよ。
- あるプログラムについて並列化可能な部分 r については、強力なアクセラレータを用いると 100 倍高速化できる。プログラム全体の性能を 50 倍高速化するには r が何%以上あれば良いか？

以上