

慶應義塾大学試験問題用紙（日吉）

				試験時間	50分	分
平成 28 年 1 月 26 日(火)4 時限施行		学部	学科	年	組	採点欄 ※
担当者名	天野 英晴 君	学籍番号				
科目名	計算機構成同演習	氏名				

問題中に不明な点がある場合や、手元に資料がない場合は、各自判断して答え、その旨を記してください。

- 0x10 番地に A、0x11 番地に B が入っている。(A+B) AND (A<<1)を計算し、答を 0x12 番地に格納する POCO のプログラムをアセンブリ言語で記述せよ。
- 問題 1 のプログラムの最後の 3 行を機械語に変換せよ。
- 1 から 5 まで数えて 1 に戻る 5 進カウンタを Verilog HDL で記述せよ。入力はクロック信号 clk、リセット信号 rst\_n (0 で cnt が 1 となる) と 3 ビットのカウンタ出力 cnt とせよ。
- 0 番地から 9 番地までの 10 個の数のうち、偶数 (0 を含む) がいくつあるかを数えて、答を 10 番地に書き込むプログラムを書け。
- 積和演算サブルーチン madd は、 $r4 \times r5 + r3$  の答えを r3 に格納する。この積和演算サブルーチンを利用し、0 番地から 9 番地までの 10 個のデータの内積 (2 乗した数の総和) を計算して、その答えを 10 番地に書き込むプログラムを書け。
- 全ての命令を 1 サイクルで実行するシングルサイクル版 POCO1 を目標周期 8nsec で論理合成したところ、slack が 0.5nsec となった。一方、全ての命令を 2 サイクルで実行する POCO2 を目標周期 4.5nsec で論理合成したところ、slack が -0.2nsec となった。どちらが、どれだけ高速かを求めよ。
- 添付の POCO の Verilog 記述で ALU の B 入力に対するマルチプレクサに対応する記述を抜き出して書け。
- 1 M ワードの主記憶に対して 64K ワードのキャッシュを設ける。ブロックサイズを 128 ワードとした時、(1) ダイレクトマップキャッシュのディレクトリ構成、(2) 4-way セットアソシアティブキャッシュのディレクトリ構成をそれぞれ述べよ。
- キャッシュのリプレースポリシーとしてキャッシュに早い時間に入ったブロックを先に追い出しの対象とする FIFO (First-In-First-Out) を使うと、ランダムに選ぶ場合よりもヒット率が悪化する場合がある。この理由を説明せよ。
- POCO の分岐命令は、レジスタの値が、0 か、0 でないか、マイナスか、プラス (0 を含む) か、によって分岐を行なう。この方法の利点と欠点を述べよ

以上