

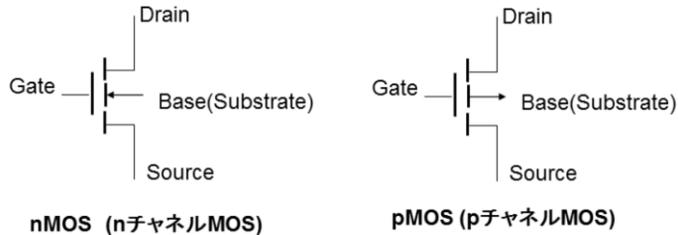
LSIの王者 MOS-FET

MOS-FETは、アナログ(小信号増幅回路)、デジタル(大信号増幅回路)共に、現在の電子回路の主流

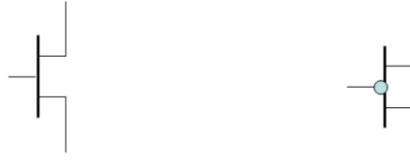
デジタル回路はCMOS(Complementary MOS)が8-9割
CMOSとは、NMOSとPMOSを相補的に接続する方式

今回のテーマはMOS-FETです。MOS-FETは、今まで学んできたバイポーラの普通のトランジスタとは異なり、電圧駆動素子です。消費電力が少ないことから、アナログ、デジタル共に大規模集積回路に向いているため、現在の電子回路の主役になっています。今まで紹介してきたオペアンプも、実はMOS-FETでできているものが多いです。デジタル回路は、CMOSという回路方式が8-9割を占めています。このMOS-FETを理解しましょう。

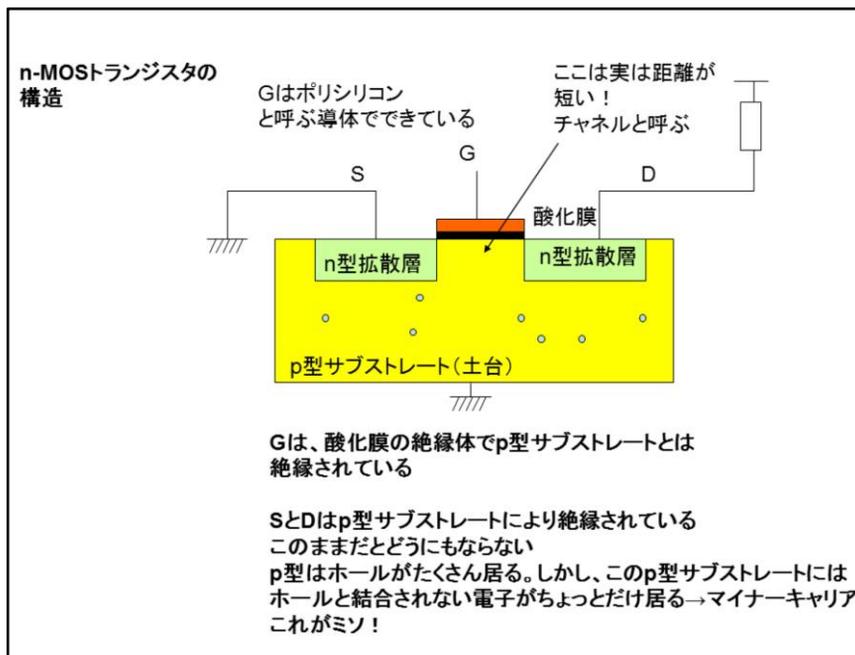
MOS (Metal Oxide Semiconductor) FET (Field Effect Transistor)の記号



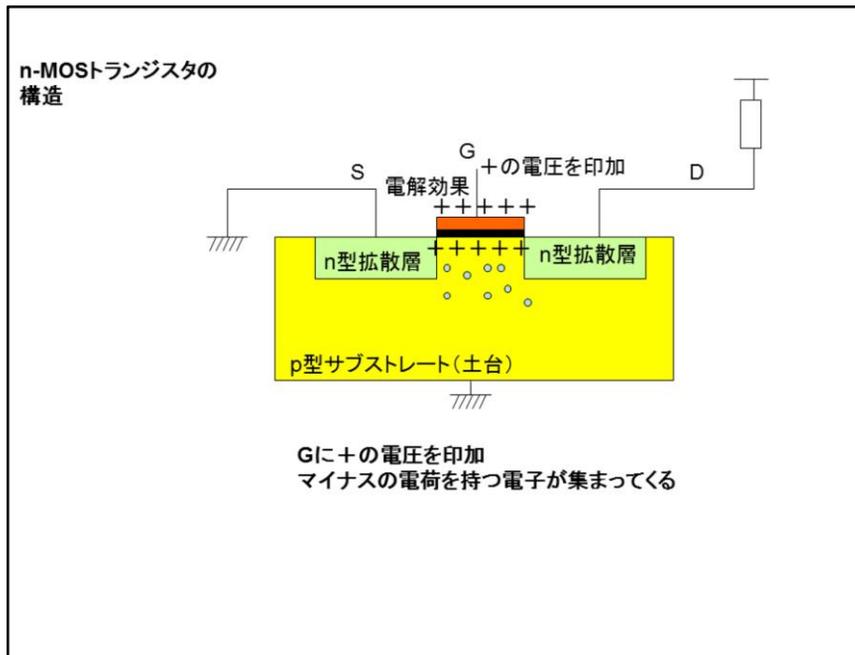
デジタル屋が描くと



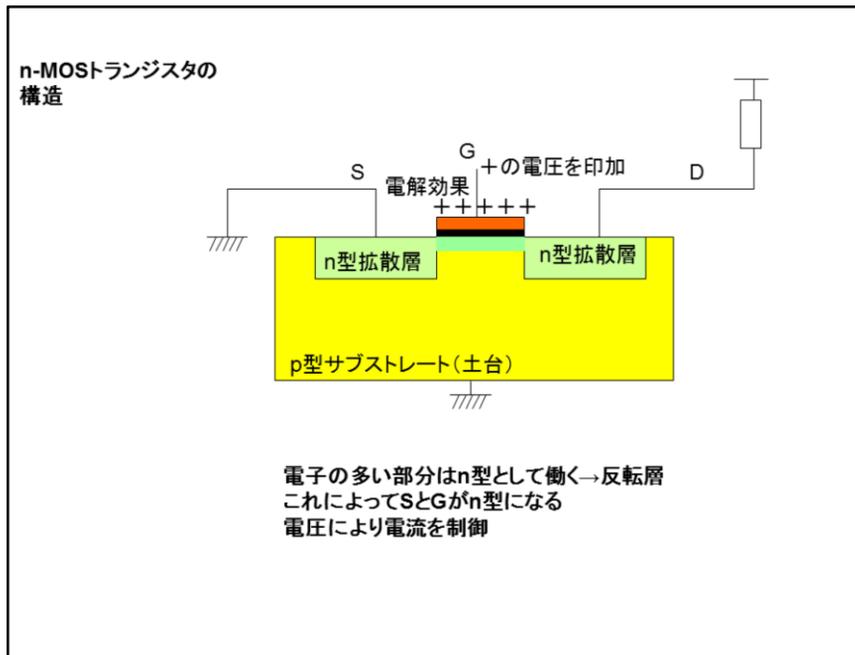
FETとは電界効果型トランジスタ(Field Effect Transistor)を指します。初期は接合型のFETが使われましたが、後にMOS型が登場し、現在はほとんどMOS型が使われます。ゲート、ドレイン、ソース、ベース(サブストレート)の4つの端子があり、この図に示すような記号を使います。このうちサブストレートは、nMOSではGND(ソース)と接続し、pMOSでは電源(ドレイン)と接続して使うため、実質的には3端子です。バイポーラトランジスタの端子と役割を対応させると、ゲートはベース、コレクタはドレイン、エミッタはソースに当たります。この記号だとソースとドレインの区別が付かないんじゃないか?と思うかもしれませんが、実際、区別をしない場合が多いです。デジタル回路においては全く区別はないです。ちなみに同じ記号をデジタル屋が描いた場合、下のよう to 簡単化します。サブストレートは省略されてしまっています。こうすると、nMOS,pMOSの区別が付かなくなるので、pMOSのゲートに丸を付けて示します。



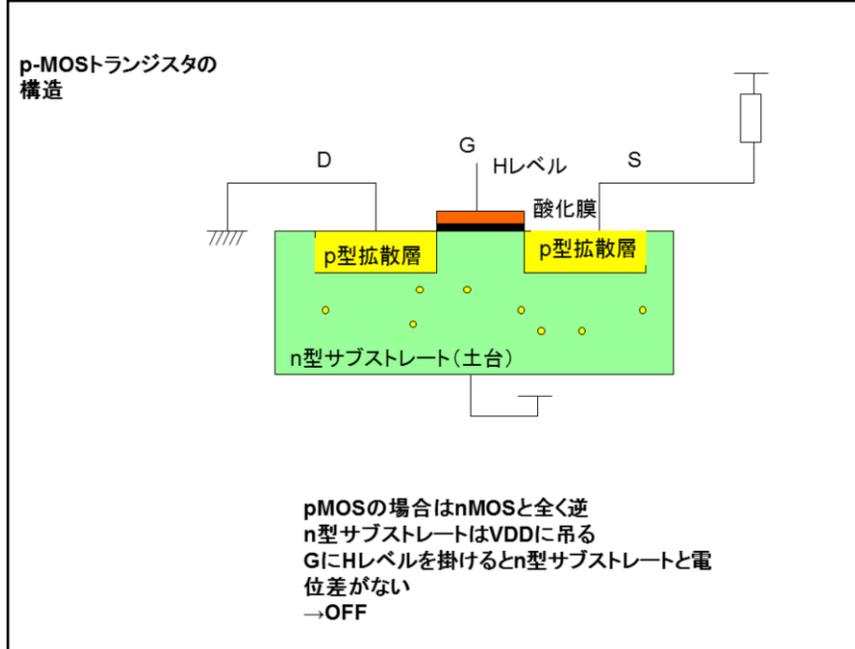
n-MOSTランジスタの構造は、p型のサブストレートの上にn型の拡散層を2つ距離の狭い間隔を置いて設けます。この合間のことをチャネルと呼び、チャネル上に薄いシリコン酸化膜を置き、その上にポリシリコンと呼ばれる導体を使ってゲート領域を作ります。両側のn型拡散層にはそれぞれソース、ドレインの電極を接続します。シリコン酸化膜は絶縁体で、ゲートは他の端子とは電気的に絶縁されています。ここで、ソースとサブストレートはGNDに、ドレインは抵抗を介して電源に接続します。ゲートに電圧を与えない状態では、ソースとドレインはサブストレートのp型のチャネルによって分離されているので、電流は流れません。これがOFFの状態です。ここで、サブストレートはp型なので、ホールがたくさん居るのですが、若干不純物を工夫することにより、少しの量だけ電子が存在するようにしておきます。この電子をマイナーキャリアと呼びます。マイナーキャリアの存在がMOS-FETのミソといえます。



ここで、ゲートに+方向の電圧を掛けます。ゲートはチャンネルからは絶縁されているのですが、この絶縁膜は非常に薄いため、電界効果によって、チャンネルの表面に+の電荷が生じます。そうすると、p型サブストレート中のマイナーキャリアである電子がこれに引き寄せられて集まってきます。ホールは逆に反発してチャンネル周辺には存在しなくなります。

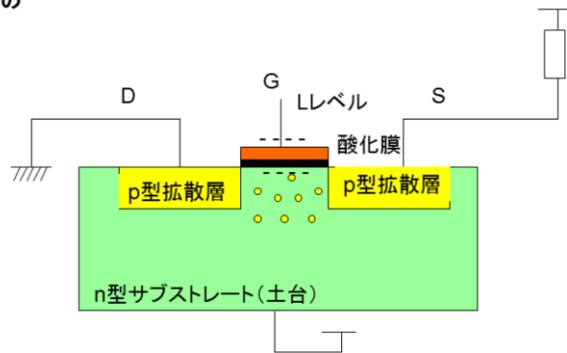


このようにして電子が集まると、チャネル直下は本来p型のはずが、電子の方が多くなるためn型として働きます。これを反転層と呼びます。反転層が形成されると、ソースとドレインはn型の半導体で導通します。これがFETがONの状態です。これによりドレインからソースに電流が流れます。n-MOS FETではゲートがHレベルでONになる点を覚えてください。



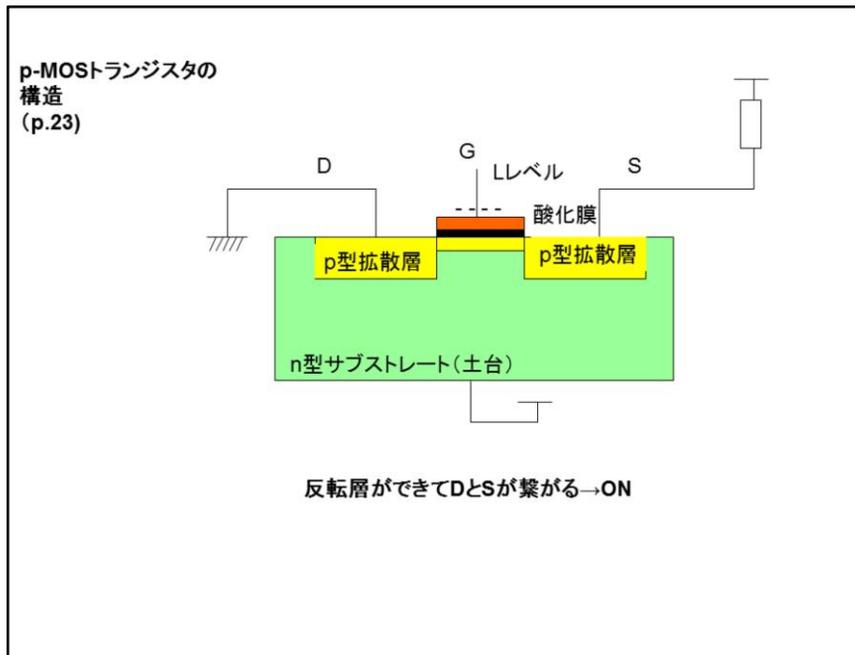
p-MOSは、n-MOSと逆の構造を持っており、n型のサブストレート中にp型の拡散層を作ってドレイン、ソースの電極を付けます。この間のチャネル上に酸化膜を置き、さらにポリシリコンでゲート領域を作ります。n-MOSと逆に、今度はn型サブストレート中には、マイナーキャリアとしてホールが存在するように調整します。今、サブストレートを電源レベル(Hレベル)にした場合、ゲートを同じHレベルにした場合は、ドレイン、ソース間はn型サブストレートにより分離されているため、電流は流れません。これがOFFの状態です。

p-MOSTランジスタの
構造
(p.23)



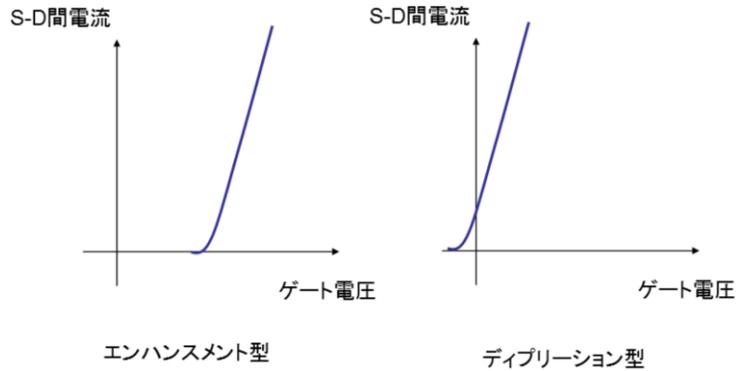
G=LLレベルにすると、サブストレートを基準に
するとマイナス
正の電荷を持つホールが集合してくる

ゲートにLLレベル、つまりGNDに近いレベルを与えます。ここで、サブストレートは電源レベルですので、ゲートは相対的にマイナスになります。すなわち、チャネル表面にはマイナスの電荷が生じます。すると、マイナーキャリアのホールが集まってきて、電子は排除されます。



今度はチャネルにp型の反転層が生じてソース、ドレイン間が導通します。これがFETがONになった状態です。pMOS FETではゲートがLレベルでONになることを覚えましょう。

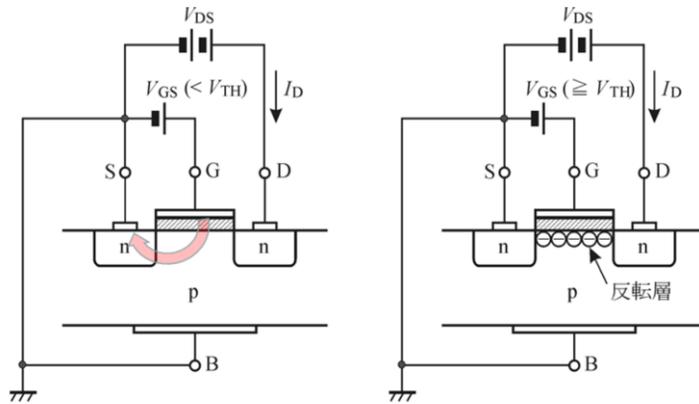
エンハンスメント型と ディプリーション型



ONになる電圧は、不純物などで制御可能
CMOSではエンハンスメント型以外は使わない

今まで説明したFETの動きはエンハンスメント型と呼び、ゲート電圧が0Vの時はOFFになってソース、ドレイン間の電流が流れないタイプです。しかし、図に示すように、不純物を制御することで、ゲートが0Vでもソース、ドレイン間にある程度の電流が流れるようにすることもできます。これをディプリーション型と呼びます。図はn-MOSを対象としてゲート電圧とソースドレイン電流を示したものです。

MOSFETの動作



(a) ゲート電圧が閾値未満のとき

(b) ゲート電圧が閾値以上のとき

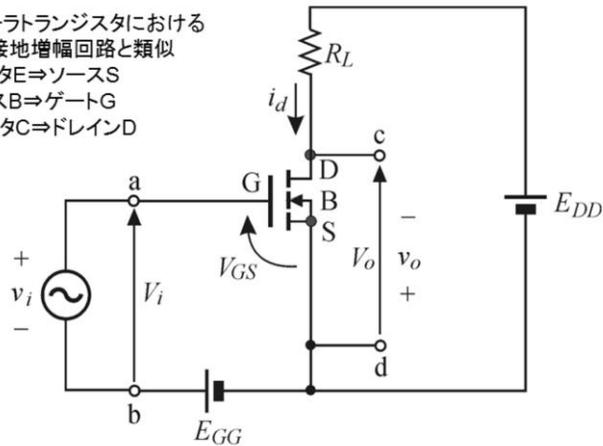
バイポーラトランジスタ: ベース電圧によるベース電流の変化 ⇒ コレクタ電流が変化
MOSFET: ゲート電圧によるゲート電界の変化 ⇒ ドレイン電流が変化

MOSFETの動作をおさらいしましょう。今までやってきたバイポーラトランジスタがベース電流の変化に応じてコレクタ電流が変化したのに対して、MOSFETは、ゲート電圧によってドレイン電流が変化します。ゲートは絶縁されていて一切電流は流れません。つまり電圧制御素子です。

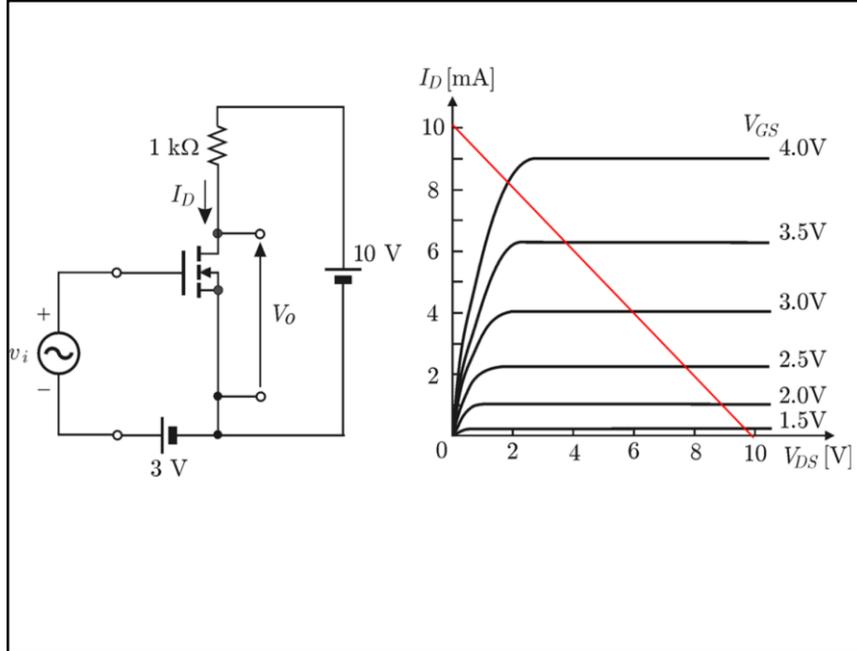
MOSFETの(ソース接地)増幅回路

バイポーラトランジスタにおける
エミッタ接地増幅回路と類似

- ・エミッタE⇒ソースS
- ・ベースB⇒ゲートG
- ・コレクタC⇒ドレインD

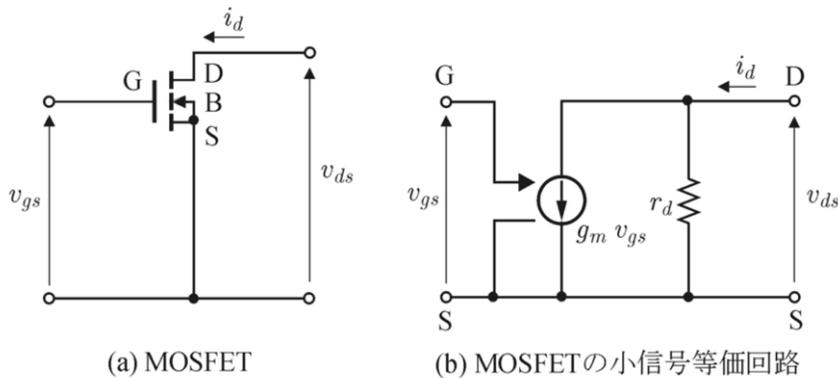


nMOS-FETを使って小信号増幅回路を作ることができます。ソース、サブストレート(ベース)はGNDに落とし、ドレインに抵抗を介して電源電圧を与えます。ここで、ゲートに適切なバイアス電圧を与えて小信号を載せれば、この電圧によってドレイン電流が変化して増幅してくれます。



バイアス電圧を調整することで、動作点を決めます。ここでは3Vのバイアス電圧を掛けてその周辺で v_i を変動させた場合を示します。電源は10Vで抵抗は1kΩなので、図に示すような負荷抵抗線を引くことができます。この上でゲート電圧を変化させるとドレイン電圧(電流)が変化することがわかります。

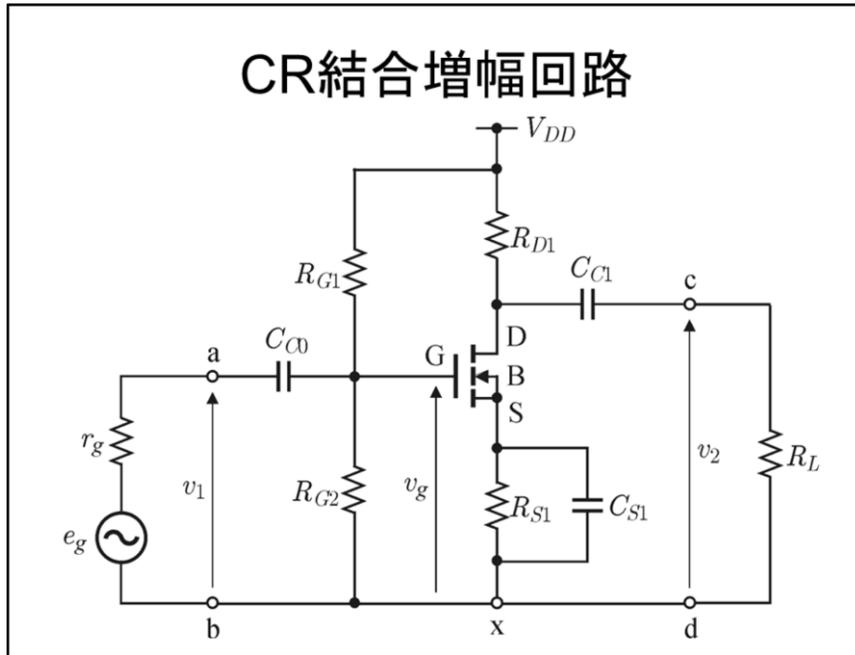
MOSFETの小信号等価回路



g_m は相互コンダクタンス 抵抗の逆数で単位はジーメンズ(S)
Ohmをひっくり返してMho(モー)という場合もある。

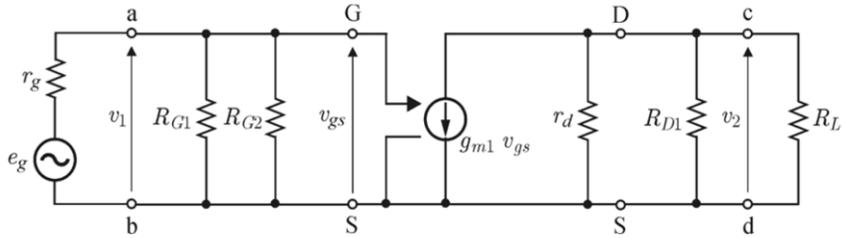
ではMOSFETの小信号等価回路を紹介しましょう。バイポーラトランジスタと違って、ゲート電圧の変化 v_{gs} によって、ドレイン電流が $g_m \times v_{gs}$ に増幅されると考えます。MOS-FETのゲートは絶縁されていて入力インピーダンスは非常に高いので、入力側の抵抗は何もありません。出力側の電流源に使う g_m は、電圧によって電流が増幅される係数です。電流/電圧の次元になるため、抵抗の逆数になり、相互コンダクタンスと呼ばれます。単位は、昔はOhmをひっくりかえしたMho(モー)と呼ばれていましたが、1971年に正式な単位名としてジーメンズ(S)が決まり、最近はこちらで呼ばれています。この電流源に対してドレイン抵抗が並列接続された等価回路となります。

CR結合増幅回路



nMOS-FETを用いたCR結合回路を図に示します。この回路は電流帰還バイアスが掛かっており、トランジスタと全く同じ回路です。ゲートの入力インピーダンスは高いので、バイアス電圧は R_{G1} と R_{G2} 、 R_{S1} で決まります。 C_{S1} はバイパスコンデンサ、 C_{C0} 、 C_{C1} は結合用コンデンサです。

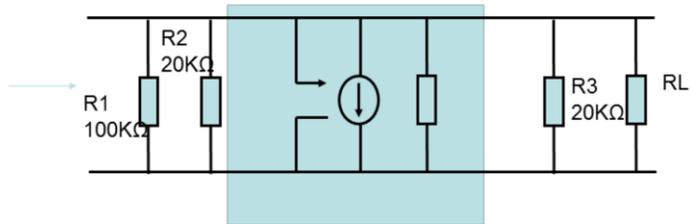
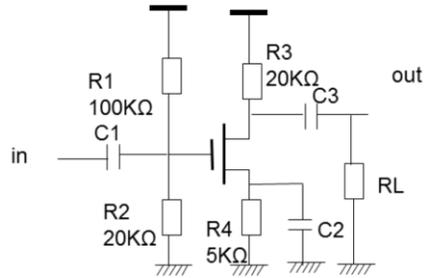
等価回路



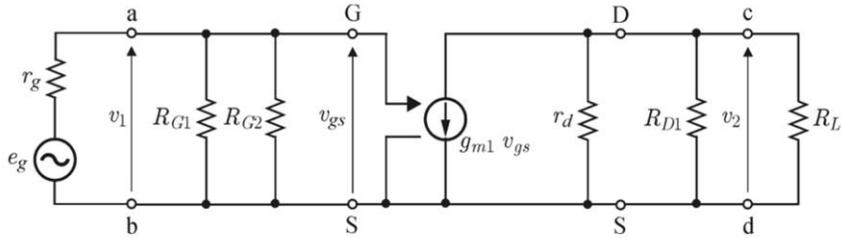
R_{G1} , R_{G2} は v_{gs} には影響を与えない
 V_2 は $g_{m1}v_{gs}$ の電流による3つの抵抗の並列接続の電圧降下で求められる

この等価回路を図に示します。これは結構複雑な気がしますが実は R_{G1} , R_{G2} は v_{gs} には影響を与えず、 v_{gs} =入力電圧 v_1 になります。 $g_{m1} \times v_{gs}$ の電流が r_d 、 R_{D1} 、 R_L の並列接続の抵抗で起こす電圧降下が増幅された電圧に相当します。

例題 以下の等価回路を描け



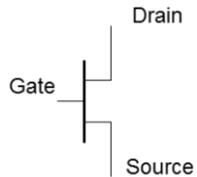
演習6-1



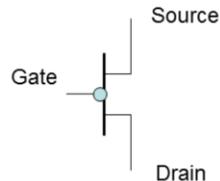
$r_d=100\text{K}\Omega$ 、 $g_m=5\text{mS}$ 、 $R_{D1}=10\text{K}\Omega$ 、 $R_L=10\text{K}\Omega$ の時、電圧増幅度 v_2/v_1 を求めよ

演習で電圧増幅率を求めてみましょう。 R_{G1} 、 R_{G2} は関係ありません。MOS-FETはバイポーラトランジスタに比べて簡単なことが分かります。

MOS (Metal Oxide Semiconductor) FET (Field Effect Transistor)の スイッチングモデル



nMOS
G=H ON S-Dがショート
G=L: OFF S-Dがオープン

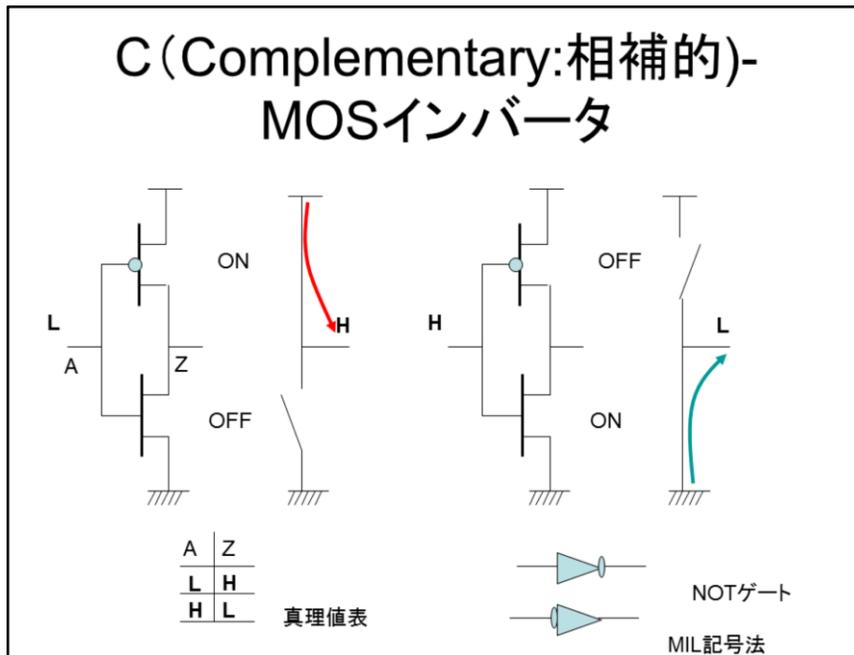


pMOS
G=L ON S-Dがショート
G=H OFF S-Dがオープン

記号は略式のもの: 正式なのはアナログで学んだ方
これもBJT同様に飽和状態で使う
SとDの区別がつかないって? その通り、そんな必要はない
LとHの定義も後ほど紹介
GNDレベル(に近い)のがL, 電源レベル(に近い)のがH

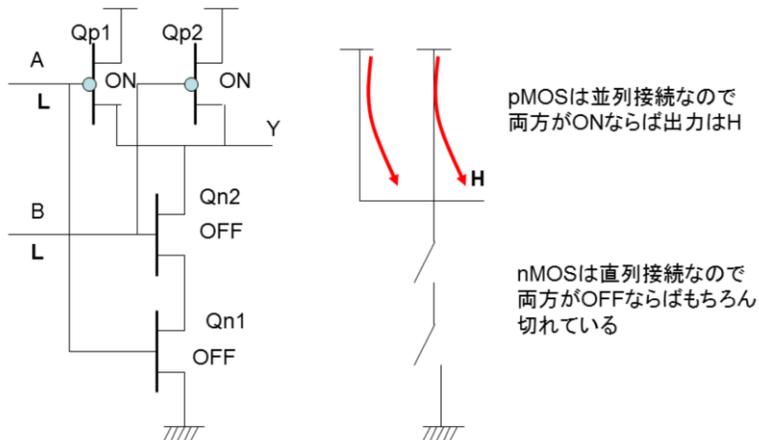
では、次に大信号増幅回路、すなわちデジタル回路でのモデルを紹介しましょう。小信号等価回路と違ってON,OFFのスイッチとして考えることができます。すなわち、nMOSではG=Hの時はONでS-Dはショートした(抵抗は無視)と考え、G=Lの時はオープンと考えます。SとD間は反転層で接続され、全体として半導体なので抵抗を0に考えて良いのか?と思うかもしれませんが、デジタル回路用のMOSFETはチャネルが非常に狭く、反転層形成時の抵抗は極めて小さく0と考えても問題ありません。同様にオープン時の抵抗は極めて大きく、ON-OFFのスイッチとしてモデル化できます。pMOSはこれと逆で、G=LでON、すなわちS-Dがショート、G=HでOFF,すなわちS-Dがオープンになります。

C (Complementary:相補的)-MOSインバータ



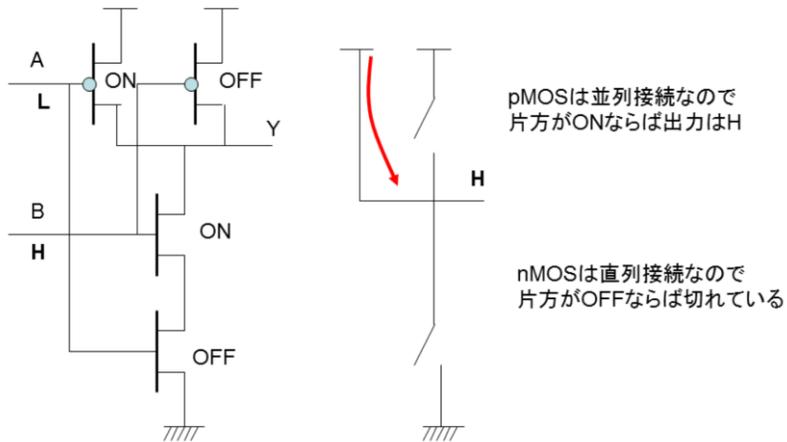
C-MOS,すなわちComplementary-MOSとは、pMOSとnMOSを組み合わせることでデジタル回路のゲートを作る回路のことです。Complementaryとは耳慣れない言葉ですが、相補的、すなわち互いに補い合うという意味です。(英会話で良く出てくる言葉でComplimentaryというのがありますが、これは「無料の」という意味で全然違った単語です)最も簡単なCMOSインバータ(NOT回路)を図に示す。pMOSとnMOSはゲート同士を接続しており、これが入力になります。入力がLの時はpMOSはON,nMOSはOFFになります。すなわち出力ZはpMOSを通じて電源と接続され、Hレベルが出力されます。これに対して入力がHの時はnMOSがONになり、出力ZはnMOSを通じてGNDと接続され、Lレベルが出力されます。すなわちLを入れるとHが出て、Hを入れるとLが出ます。NOTゲート、インバータになっていることがわかります。

CMOS NAND回路 入力L-L



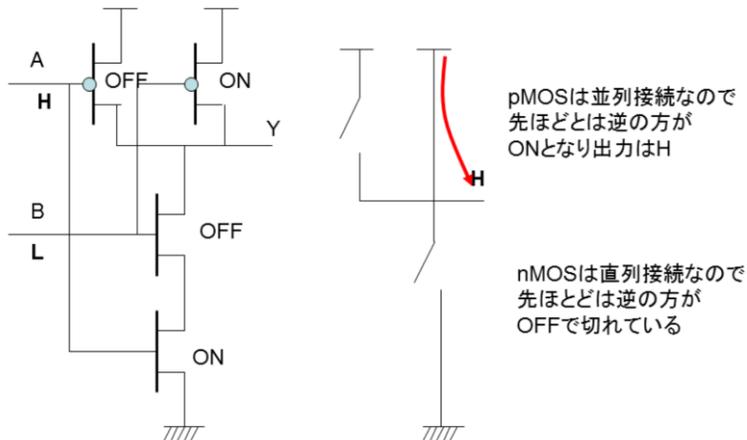
では次は、直列、並列接続を利用してゲートを作ってやりましょう。図の回路は pMOSが並列に、nMOSが直列に接続され、それぞれペアとなってゲートが同じ入力に接続されています。ではA,Bの入力が共にLの時の動きを見てみましょう。この場合、Qp1、Qp2はON、Qn1、Qn2はOFFになります。出力Yは2系統で電源と接続されるため、Hが出力されます。

CMOS NAND回路 入力L-H



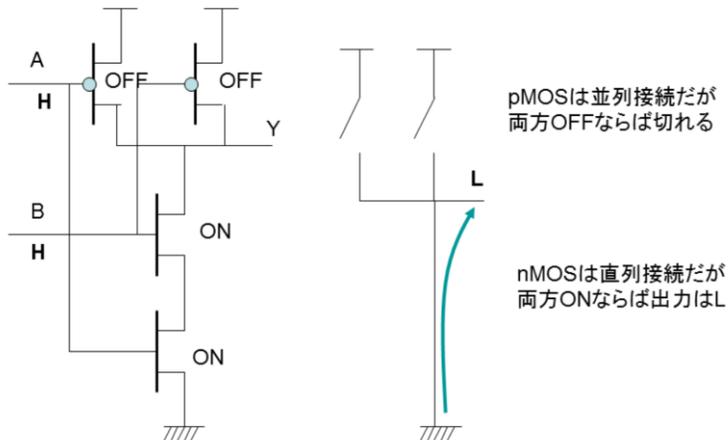
次にAをL、BをHにしてみましょう。この場合Qp1はONですがQp2はOFFとなり、ペアのQn1がOFF、Qn2がONになります。pMOS側は並列なので、Qp1がONならばYは電源に接続され出力はHになります。Qn2はONですがQn1はOFFなのでGNDまでの通路は切れています。

CMOS NAND回路 入力H-L



AがH,BがLの場合は、YはONになっているQp2を通じて電源に接続されてHが出ます。
Qn2がOFFなので出力とGNDとの回路は切れています。

CMOS NAND回路 入力H-H



ではAとBが共にHになった場合はどうでしょう。この場合はpMOSは両方OFFなのでYは電源からは切り離されます。Qn1,Qn2は両方ONなので直列でも通路はつながり、YはGNDレベルとなります。すなわちLが出力されます。

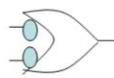
CMOS NAND回路

- 結局NAND回路になる

A	B	Qp1	Qp2	Qn1	Qn2	Y
L	L	ON	ON	OFF	OFF	H
L	H	ON	OFF	OFF	ON	H
H	L	OFF	ON	ON	OFF	H
H	H	OFF	OFF	ON	ON	L



入力が両方HのときL



入力のどちらかがLのときH

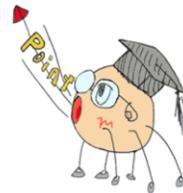
この結果をまとめてみましょう。YはQp1とQp2が共にOFF、Qn1、Qn2が共にONのときにLになります。すなわちこのゲートは両方の入力がHの時にLに、入力のどちらかがLの時Hになります。これはNANDゲートです。実はCMOSで2入力の真理値表を書くとQp1,Qp2,Qn1,Qn2のON/OFFはいつでも同じになります。なので、以降これは書かなくてもいいです。

今日のポイント

MOS-FETはゲートの電圧によってドレイン電流が変化する電圧増幅素子

小信号増幅回路: v_{gs} により、ドレイン電流が $g_m \times v_{gs}$ に増幅される。

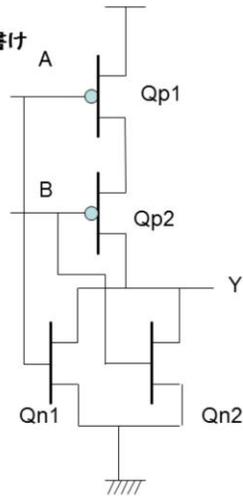
大信号増幅回路: スイッチモデル
nMOS $G=H$ でON、
pMOS $G=L$ でON
ON: S-Dが導通、
OFF: S-Dが開放



今日のポイントをインフォ丸が示します。

演習6-2

1. このゲートの真理値表を書け
2. このゲートに対応するMIL記号を2つ書け



では演習をやってみましょう。これは簡単だと思います。2はこの授業の範囲ではないですが、復習しておきましょう。

