

11. メモリ回路

RAMとかROMとかフラッシュメモリとか知っておこう
テキスト8章

メモリ回路は、IT機器の様々な分野で用いられる。
時代と共に急速に変わってきたものもあるけど、
しぶとくて変わらないものもある

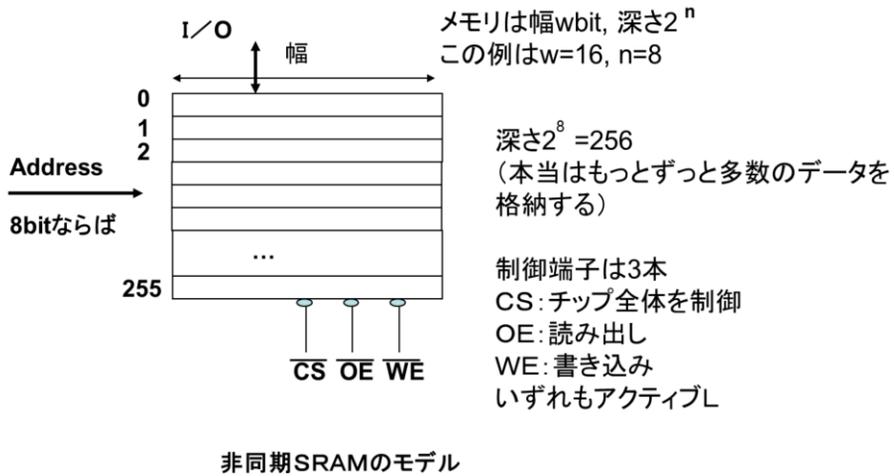
半導体メモリはコンピュータだけでなく、情報機器の至るところで使われます。どのようなデバイスがどのような特徴があるのかを知っておく必要があります。この中には急速に変わってしまったものもあれば、しぶとく変わらないものもあります。それぞれのメモリの特徴を知っておくことはIT社会を生きて行くには絶対に必要です。

半導体メモリの分類

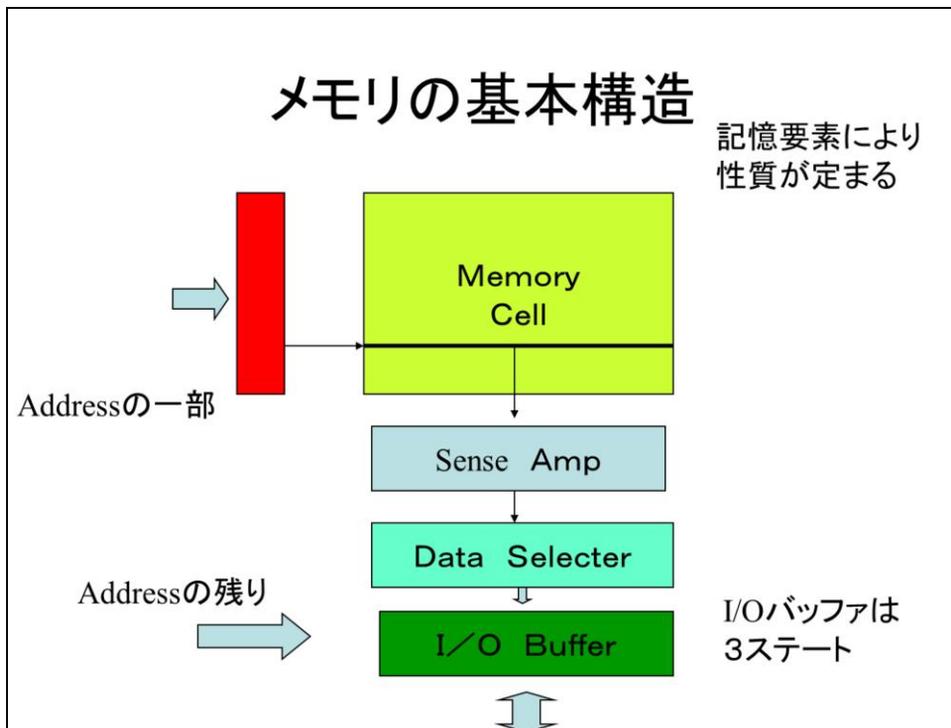
- RAM (Random Access Memory): 揮発性メモリ
 - 電源を切ると内容が消滅
 - SRAM(Static RAM)
 - DRAM(Dynamic RAM)
- ROM(Read Only Memory): 不揮発性メモリ
 - 電源を切っても内容が保持
 - Mask ROM 書き換え不能
 - PROM(Programmable ROM) プログラム可
 - One Time PROM 一回のみ書き込める
 - Erasable PROM 消去、再書き込み可能
 - UV EPROM (紫外線消去型)
 - EEPROM (電氣的消去可能型) **FLASH Memory**

半導体メモリは、RAMとROMに分類されます。RAMとROMは本来の意味とはかなり違った使い方をされています。RAMはRandom Access Memoryの略で、アドレスに関わらずアクセスの方法と時間が同じものを指します。ROMはRead Only Memoryの略で読み出し専用メモリの意味です。しかし、最近ではRAMは揮発性メモリ、つまり電源を切るとデータが消えてしまうメモリ、ROMは不揮発性メモリ、すなわち電源を切ってもデータが消えないメモリの意味に使われます。

メモリのモデル

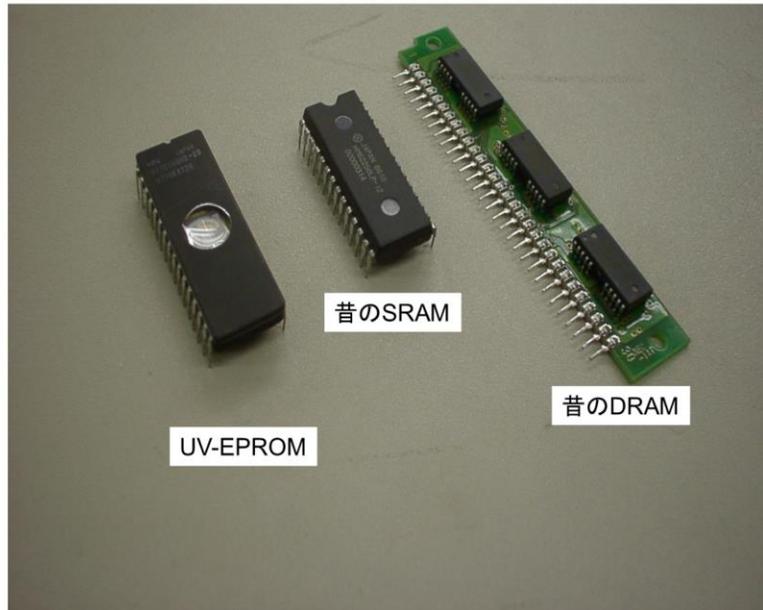


図は非同期SRAMのモデルですが(後でまた出てきます)、多くの半導体メモリのモデルと考えることができます。簡単に言うとメモリは表であり、アドレスを与えるとそこに保存してあるデータを読み出すことができます。データを書く場合、書き込み信号(多くの場合Write Enableと呼ばれます)をアクティブにして、データを入れることを行います。



半導体メモリの基本構造はこの図のようになっています。データを記憶する各素子は半導体上に四角形状に配置されています。これは半導体自体が四角なので、四角形状に置くのが最適なためです。ここでアドレスの一部を与えて、このうち1行を選んで出力します。これを電氣的に増幅してデジタル信号のレベルにします。次にアドレスの残りの部分を入力して、データセレクトタにより読み出した1行のうち、必要な部分だけ選んで出力してやります。この時I/Oバッファには以前紹介した3ステート出力を使います。この機能により出力を電氣的に切り離すことができます。

昔のメモリ



昔のメモリの外観はこんな感じです。一番左のメモリは透明な窓が開いているのですが、これはここから紫外線を照射して、中身を消す役割がありました。



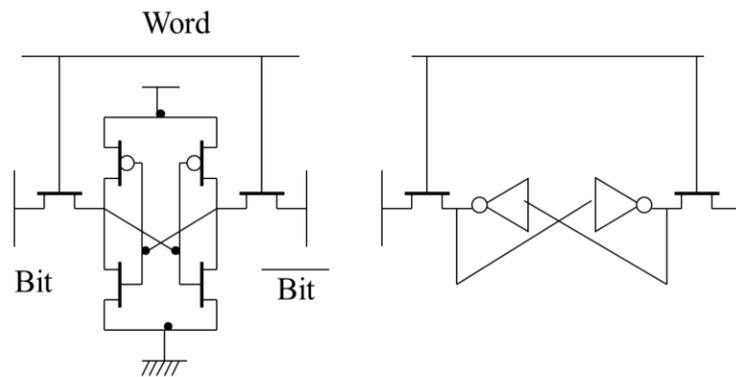
この写真はやや時代が下ったメモリの概観です。表面実装デバイスが使われており、基板に貼り付けて使います。最近のメモリ素子は、ほとんどの場合、このような使い方をします。

SRAM (Static RAM)

- 非同期式SRAM
 - 古典的なSRAM
 - クロックを用いない
 - 現在も低電力SRAMシリーズなどで用いられる
- 連続転送機能を強化したSSRAM (Synchronous SRAM)が登場、高速大容量転送に用いられる
 - 8Mbit/Chip-64Mbit/Chip程度
 - TSOP (Thin Small Outline Package)やBGA(Ball Grid Array)を利用

ではまずSRAMすなわちStatic RAMを紹介しましょう。古典的なSRAMはクロックを持たない非同期式で、現在でも低電力用に使われています。一方、コンピュータのキャッシュメモリ(計算機構成で紹介します)など、高速読み書きが必要な用途には連続転送機能を強化した同期式SRAM(SSRAM)が用いられます。チップ当たり8Mbitから64Mbit程度までを格納することができ、基板の表面に高密度実装するため、TSOPやBGAなどのパッケージに入っています。

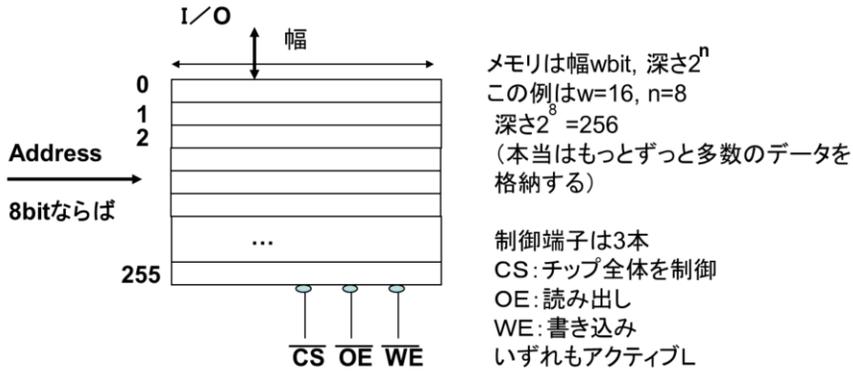
SRAM型のメモリセル構造



最も基本に忠実な6トランジスタ方式: 安定なのでよく用いられる

SRAMは、前回紹介したラッチによってデータを記憶します。この図は最も基本に忠実な6トランジスタ方式のSRAMです。インバータの8の字型になっているのが分かります。両側のトランジスタにより強制的にセット、リセットを切り替えることでデータを格納します。このやり方は乱暴なようですが、データを保存する部分は非常に小さなトランジスタで作るため、電流駆動能力の違いから、問題なく書き込みができます。

非同期SRAM



非同期SRAMのモデル

非同期SRAMは最も基本的なSRAMです。ここではデータが入出力兼用になっているものを示します。CS:Chip Select:チップ選択端子、OE:Output Enable:読み出し制御端子、WE:Write Enableの三本の端子を想定します。いずれもアクティブLなのでバーを付けて示しています。

さて、アドレスがnビットならば 2^n の深さがあります。アドレスを与え、CS,OEをL、WEをHにすると、I/O端子からデータを読み出すことができます。一方、CS,WEをHにし、WEをLにすると、I/O端子からデータを書き込むことができます。

RAMの容量

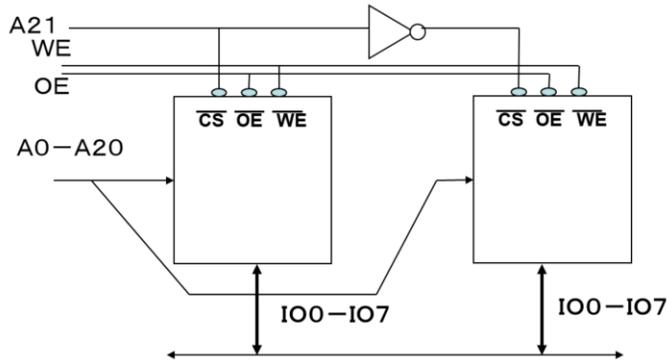
- 深さ×幅
- 右の表に幅を掛ければ全体の容量が出る
- 省略した言い方でも十分(端数を覚えている人は少ない)

アドレス本数	容量	省略した言い方
8	256	256
10	1024	1K
12	4096	4K
16	65536	64K
18	262144	256K
20	1048576	1M
24	16777216	16M
28	26835456	256M
30	1073741824	1G
32	4204067296	4G

RAMの容量は、アドレスの本数を n 、一つのアドレスに保持できるデータの幅を w とすると $2^n \times w$ になります。 w はたいてい1、2、4、8、16など 2^k 乗になるので、全体は 2 の階乗になります。メモリの容量は膨大なので、皆さんはこれに慣れる必要があります。 2 の 10 乗が1K、 2 の 20 乗が1M、 2 の 30 乗が1Gというのだけは、覚え易いのでぜひ覚えてください。

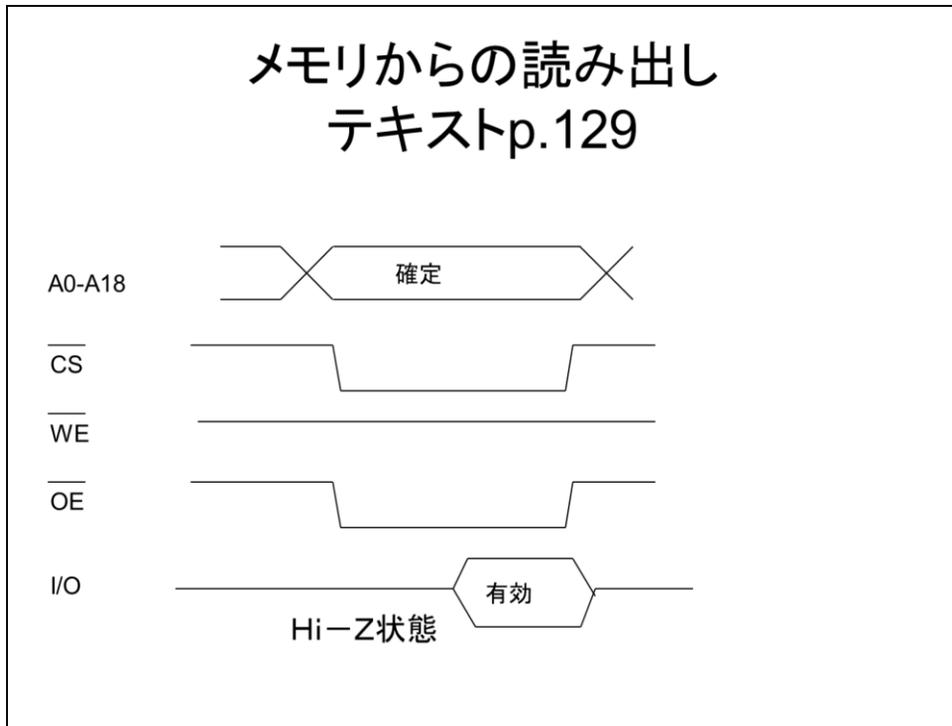
演習11.1

- 下のメモリ回路全体の容量はいくつか？



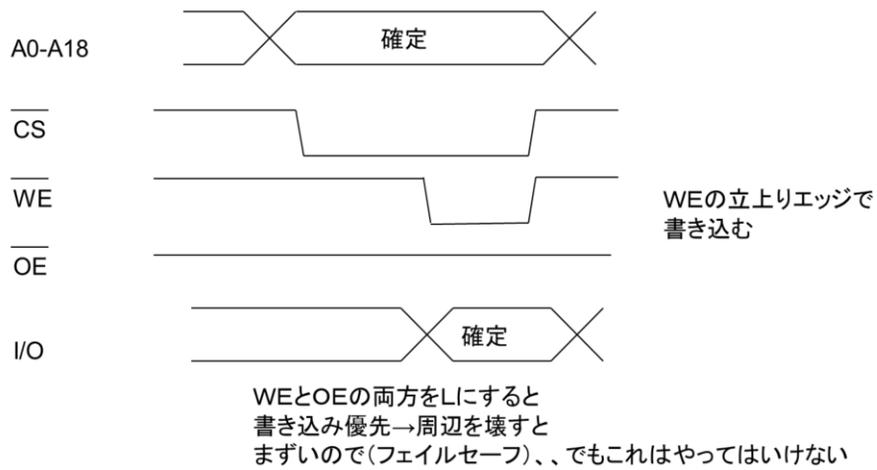
では、この問題をやってみましょう。左のRAMはA21がLの時動き、右はA21がHの時動きます。I/Oは3ステート出力なので繋いでも大丈夫です。

メモリからの読み出し テキストp.129



メモリの読み出し方をタイミング図で示します。ここで、**A0-A18**や**I/O**は信号線の束なので、安定しているかどうか問題になります。安定状態を平行線で示します。アドレスを安定させ、**CS**をLにし、**OE**をLにすると一定の遅延の後、**I/O**が有効になります。

メモリへの書き込み テキストp.129



一方、データを書き込む場合は、OEをHにして、アドレスとデータを確定させ、WEをLにしてHにします。この立ち上がりでデータが書き込まれます。

メモリの動特性

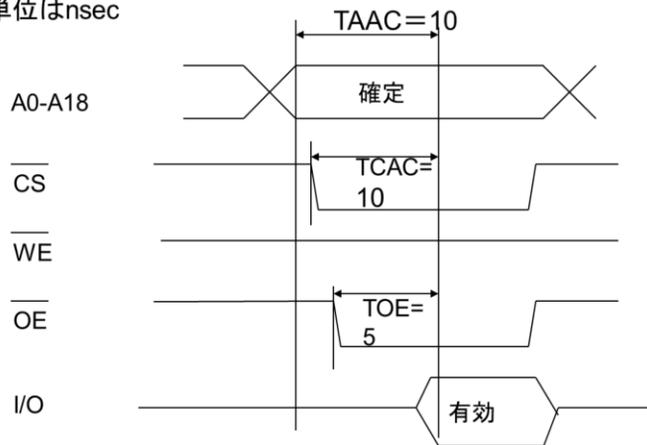
- 面倒くさいのでbarを省略させて
 - 例) \overline{CS} のことをCSと書く
- 読み出し: アクセス時間(テキストp.131)
 - アドレス確定からデータ確定: TAAC
 - CE確定からデータ確定: TCAC
 - OE確定からデータ確定: TOE
 - 通常TAAC=TCAC>TOE
 - CSをLにしっぱなしでOEでコントロールするのが高速→しかし電力を消費

さて、メモリの動特性を示します。メモリの制御信号の多くはアクティブLなので上にバーが付くのですが、面倒なので以降、省略して記述させてください。メモリの読み出しの速さは、アクセス時間で表されます。アクセス時間は、通常アドレスが確定してから、出力されたデータが確定するまでの時間(TAAC)です。SRAMを読み出すためには、CSとOEをLにしなければなりません。したがって、CSをLにしてから出力が確定するまでの時間(TCAC)と、OEをLにしてから出力が確定するまでの時間(TOE)も定義されています。通常TAAC=TCACです。一方、OEは出力バッファの3ステートゲートを制御するだけなので、TOEはこれより短いのが普通です。このため、

メモリからの読み出し

テキストp.131

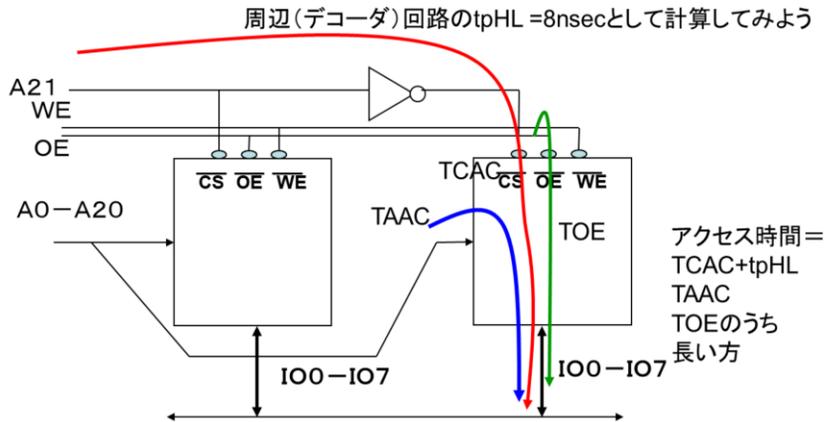
スピードグレード -10の場合
単位はnsec



SRAMの読み出しシーケンスのアクセス時間を図で示します。ここではテキスト同様、ルネサス社のHM628511をモデルに値を示しています。

メモリ回路としてのアクセス時間1

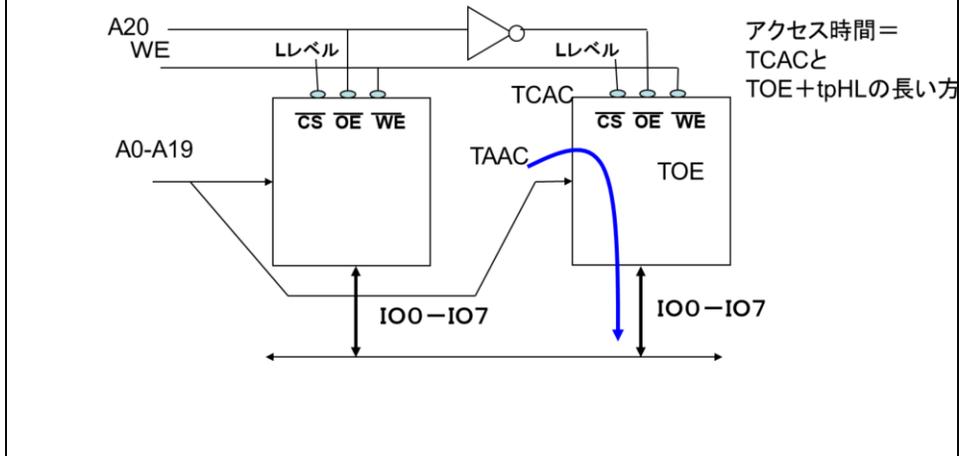
a) \overline{CS} を利用



メモリを複数接続した場合、全体のアクセス時間を考えて見ましょう。**CS**と**OE**を独立して制御した場合、アクセス時間は図中の三つのパスのうち最も長いものとなります。ここで、**TOE**は通常短く、**TCAC=TAAC**なので、この回路のアクセス時間は**TCAC**に周辺回路の遅延(この場合**tpHL**)を足したものになります。例えばこの場合、周辺の回路である**NOT**ゲートの遅延が**8nsec**であった場合、**TAAC=10**、**TCAC=10**、**TOE=5**の場合、最も長いパスは $T_{pHL} + TCAC = 18nsec$ となります。

メモリ回路としてのアクセス時間1

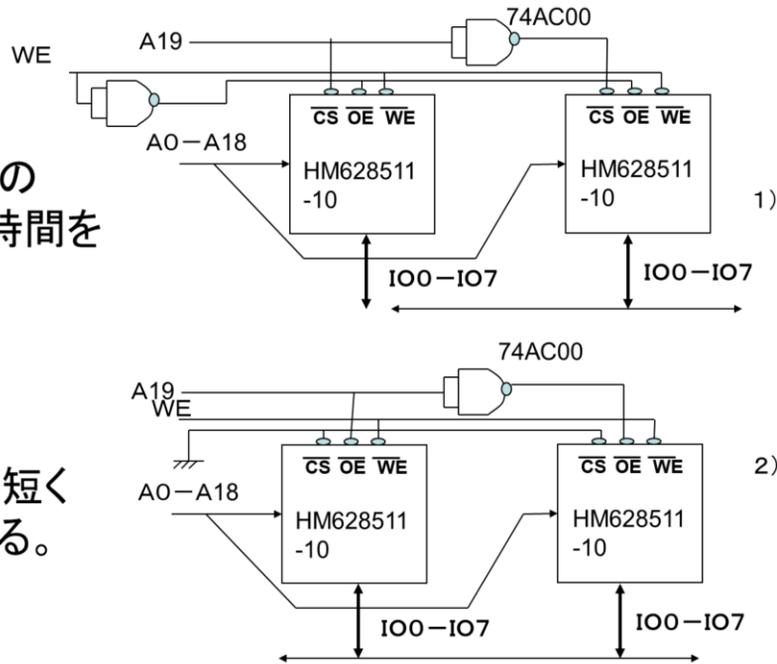
b) \overline{OE} を利用



一方、CSをLレベルにして、OEを使えば、クリティカルパスはTCACと、TOE + tpHLのうちの長い方となります。今回の例ではTOE + tpHL = 5 + 8 = 13nsec > 10nsecなので13nsecになります。このようにOEを使うことで周辺回路の遅延を減らすことができます。ただし、この方法はCSをLにしっぱなしにするため、電力を消費します。

演習11.2
それぞれの
アクセス時間を
求めよ

ここでは、
74AC00
の遅延が短く
4nscとする。

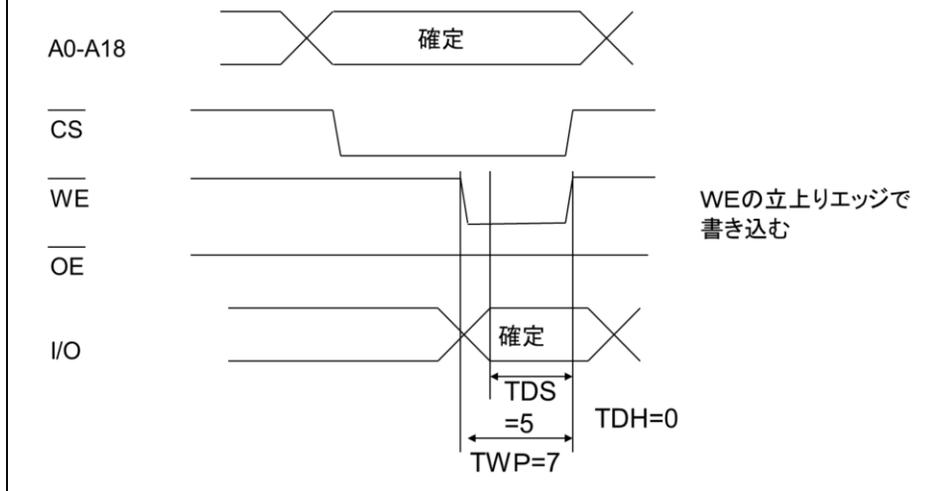


それではここで演習をやってみましょう。基本的には例題の数字を変えるだけですが、どちらか長い方のパスがクリティカルパスになることにご注意ください。

メモリへの書き込み

テキストp.131

書き込みのパルス幅: TWP
書き込みセットアップ時間: TDS
書き込みホールド時間: TDH
単位はnsec スピードグレード-10

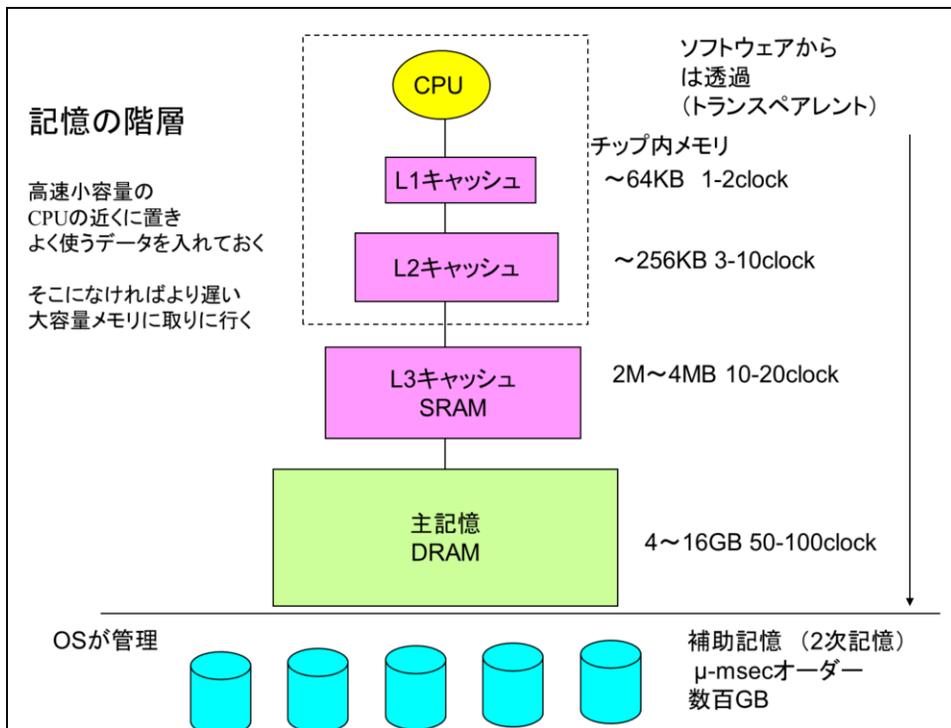


では書き込みについてはどうでしょう？書き込みはWEの立ち上がりで行うため、フリップフロップ同様、セットアップ時間(TDS)とホールド時間(TDH)を守らなければなりません。また、書き込みパルスの長さも規定されています。

DRAM(Dynamic RAM)

- 記憶はコンデンサ内の電荷によって行う
- リフレッシュ、プリチャージが必要
- 256Mbit/Chipの大容量
- 連続転送は高速
- SDRAM(Synchronous DRAM)の普及
- DDR-SDRAMの登場
 - DDR2 → DDR3

では、次にDRAMすなわちDynamic RAMを紹介します。ラッチの状態で行うSRAMに対してDRAMは半導体内部のコンデンサ内に電荷が蓄えられているかどうかによって情報を記憶します。コンデンサの中の電荷を扱うため、一定の間隔で充電をしないおすリフレッシュ、比較用コンデンサを充電するプリチャージなどが必要で、使い難いです。その代わりチップ当たりの容量はSRAMのほぼ4倍あり、大容量の記憶が可能です。最近は同期型DRAMの普及により、連続転送は高速に行うことができるようになりました。



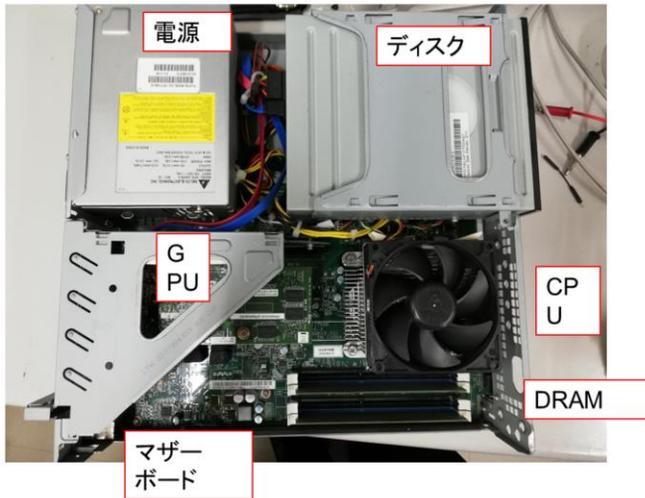
この図は計算機構成の時間に用いるコンピュータの記憶の階層です。**CPU**(中央処理装置)に近いほど、容量は小さくても高速なメモリが必要になり、ここには**SRAM**が使われます。**DRAM**はコンピュータの主記憶として使われ、この点で重要です。

記憶階層におけるSRAMと DRAMの使い方

- SRAMはキャッシュで良く用いる
 - チップ内でもチップ外でもキャッシュは概ねSRAM
 - 高速で使いやすい(プリチャージ、リフレッシュ、アドレスの切り替え等の不要)から
- DRAMは主記憶
 - 大容量
 - ブロック単位ならば読み書きともに高速でSRAMに十分付いていける
 - DDR型が発展した理由

DRAMは主記憶に使われ、SRAMはキャッシュに使われます。キャッシュを前提とした主記憶は一定の大きさのキャッシュブロックを高速に転送することが要求されます。つまりブロック転送が高速である必要があるのです。これが最近同期式のDRAMが急発展した理由です。

PCにおけるメモリの位置

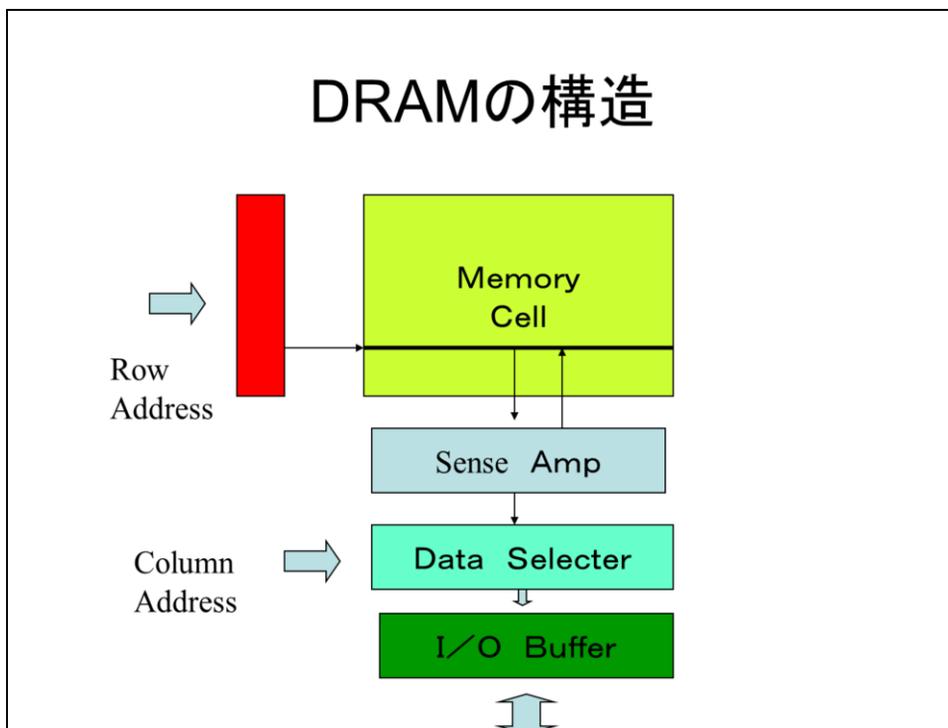


DDR-SDRAMカードの例



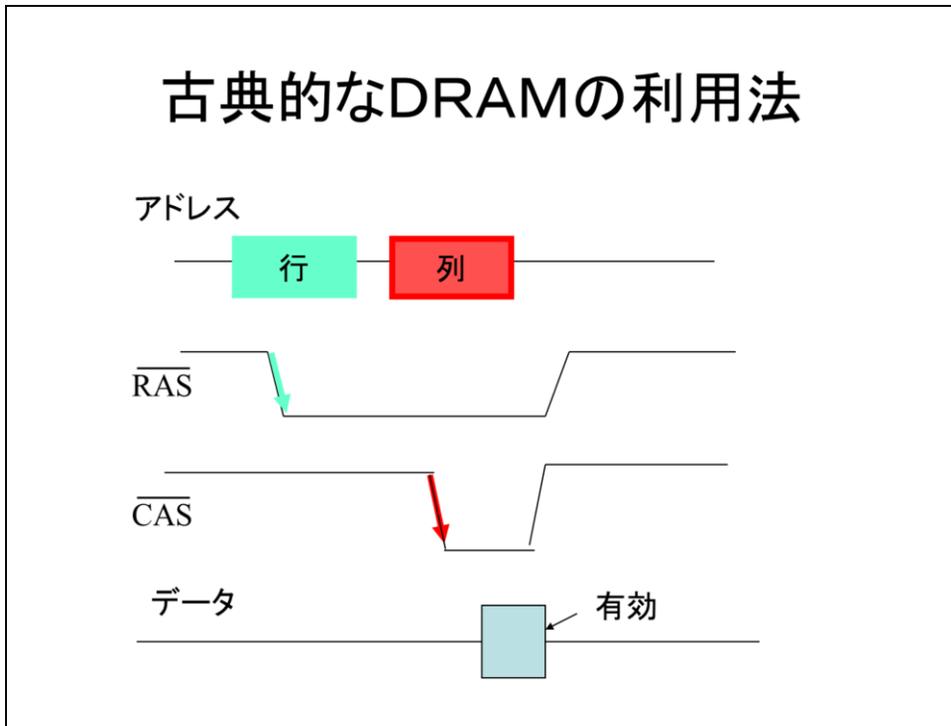
すなわち、DRAMはカードの形で売られます。この図は8GbitのDDR4 SDRAM(後に説明)を18個装備して16Gバイト+ECC(エラー訂正コード)を実現しています。

DRAMの構造



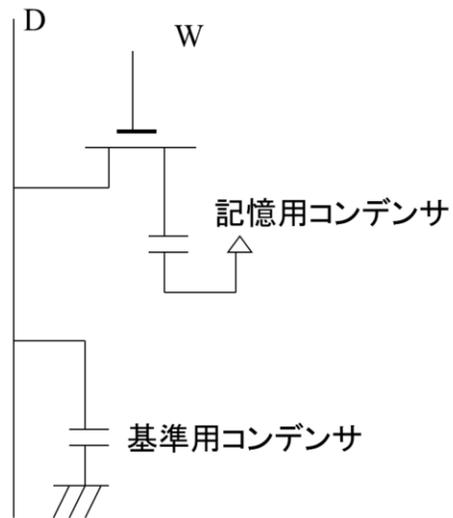
DRAMでは、記憶要素をやはり2次元に配置しますが、1チップの記憶素子数が非常に大きいことから、端子を節約するためアドレスを2回に分けて与えます。まず行アドレス(**Row Address**)を与えて一行分読み出します。センスアンプを使って増幅しますが、この際、記憶要素であるコンデンサにデータを書き戻して電荷を再充電してやります。DRAMはコンデンサに電荷が充電されているかどうかで記憶を行うため、読み出すとデータは消えてしまいます。すなわち破壊読出しです。しかし読み出しと共にデータを再充電しますので、外から見ると破壊されているようには見えません。逆に漏れて多少減った電荷を充電しなおして満タンにすることができます。データを一行分読み出したところで、列アドレス(**Column Address**)を与えてやります。これにより一行の中から必要な部分のデータを選んで外部に出力します。

古典的なDRAMの利用法



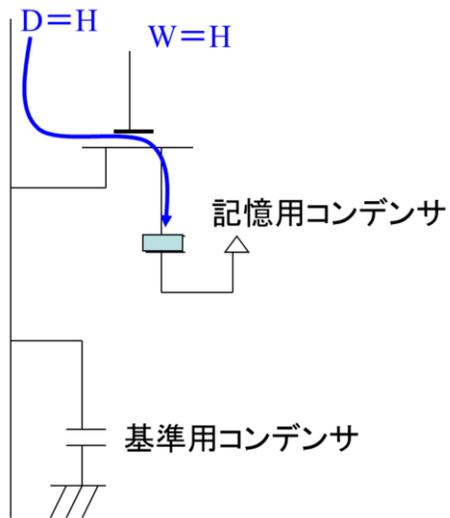
古典的なDRAMの読み出しタイミングチャートを示します。まず、行アドレスを与えるとともに、RAS (Row Address Select)をH→Lにします。これで一行分の読み出しが始まります。次にアドレスを列アドレスに切り替えてCAS (Column Address Select)をH→Lにしてしばらく後に有効データが表れます。

DRAMの記憶部分



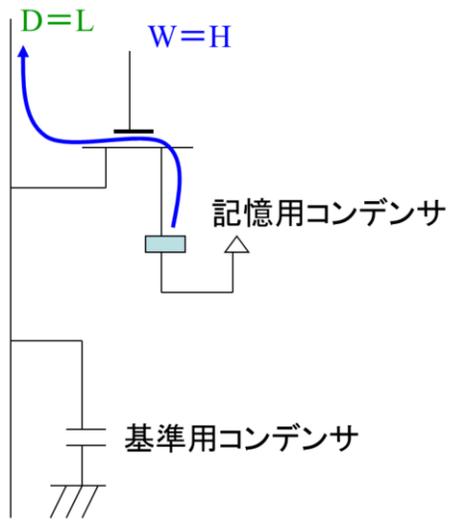
実際のDRAMの記憶部分を説明します。電荷を保持するための記憶用コンデンサにデータの読み書きを行うスイッチ用FETが1個付いています。この簡単な構造がDRAMがたくさんの量の記憶が可能な理由です。

Hレベルの書き込み



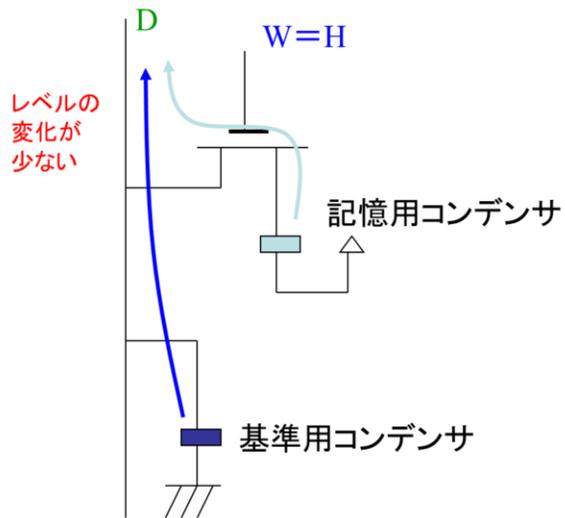
Hレベルを書き込む場合は $D=H$ にしてトランジスタのゲートをHにします。ONになったトランジスタを経由してDの値が書き込まれます。

Lレベルの書き込み



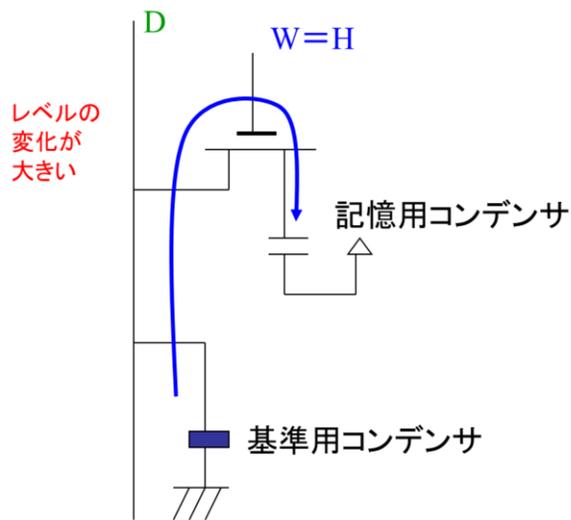
Lレベルを書き込む場合は、FETのゲートをHにして電荷を放出してやります。

Hレベルの読み出し



読み出す場合は、まず基準用のコンデンサを充電して、それからゲートをHにしてやります。記憶用コンデンサに電荷が保持されていれば、 D のレベルの変化は少ないです。このことを検出してHレベルと判断します。

Lレベルの読み出し



記憶用コンデンサに電荷が充電されていなければ基準用コンデンサからは記憶用コンデンサに電流が流れ、 D のレベルは大きく変化します。このことからLレベルが記憶されていたことが分かります。基準用コンデンサを使うのは、チップの特性のばらつき、温度、実装の状況などが変わっても、コンデンサ同士の相対的な特性が変わらないためです。

DRAMアクセスの特徴

- 破壊読出しなので、書き戻しが必要
- 微小電位を検出するセンスアンプが必要
- 基準コンデンサを充電するためのプリチャージ時間が必要
- ほっておくと電荷が放電してしまうので、リフレッシュが必要



SRAMに比べて使い難い

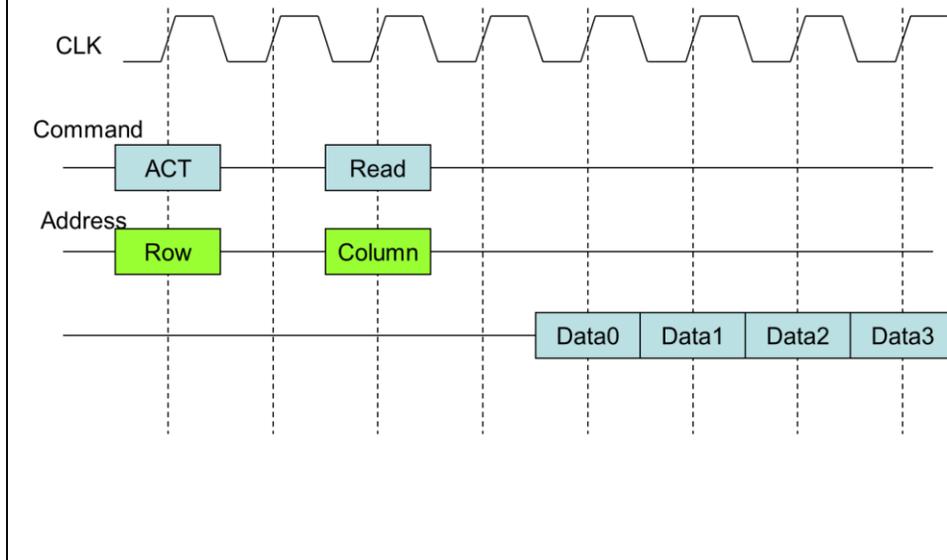
では、DRAMの特徴をまとめましょう。DRAMは本質的に破壊読出しなので、書き戻しが必要ですが、これは外からは見えません。また、DRAMはコンデンサに電荷を充電するので、きわめて微小な電圧を扱う増幅してやる必要があります。DRAMというと典型的なデジタルデバイスに見えますが、中身はきわめてアナログの要素の強いデバイスです。DRAMアクセス時には基準コンデンサを充電するためのプリチャージ時間が必要です。また、コンデンサ中の電荷は、ほおっておくと放電してしまうので、定期的に再充電が必要です。この操作をリフレッシュといい、外部に読み出さずに一行分をまるごと再充電します。リフレッシュ時はDRAMが利用できないので、その分性能が落ちます。

SDR (Single Data Rate) SDRAM: 同期式DRAM

- 100MHz－133MHzの高速クロックに同期した読み・書きを行う
- CS,RAS,CAS,WEなどの制御線の組み合わせでコマンドを構成
- コマンドにより、同期式に読み、書き、リフレッシュ等を制御
- バンクの切り替えにより連続読み・書きが高速に可能

DRAMはコンピュータの主記憶として使われますので、キャッシュとの間で高速なブロック転送能力が必要とされます。DRAMは一行読んでくるのは時間が掛かりますが、読んできた行内で連続してデータを転送するならば高速に行うことができます。チップ内部に何個か独立したブロックを設けておけば、とぎれなく連続データを供給することができます。このためには、転送用のクロックを設けてこれに同期して転送するのが適しています。そこで、クロックに同期して転送を行う同期式DRAMというのが表れました。同期式DRAMでは、今までのDRAMのCS,RAS,CAS,WEなどの制御端子はセットとしてコマンドとして与えるようにしました。これが同期式DRAM、Synchronous DRAM(SDRAM)です。

SDR-SDRAMの読み出しタイミング



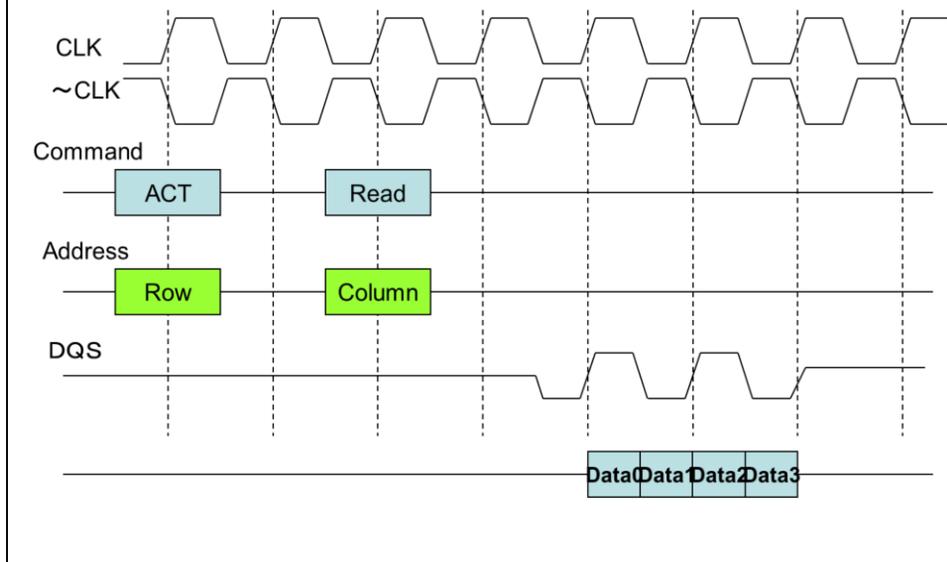
初期のSDRAMのタイミングチャートを示します。クロックに同期してACT (Activation) コマンドを与えると同時に行アドレスを与えます。次にReadコマンドと共に列アドレスを与え、1クロック置いてデータが順番に読み出されます。最初のデータが1個読み出されるまでは時間が掛かりますが、一度データ転送が始まれば次々とデータを送ることができます。

DDR (Double Data Rate) SDRAM:同期式DRAM

- SDR SDRAM同様の高速周波数(100MHz - 133MHz)のクロックの両エッジで転送を行うことにより、倍のデータ転送レートを実現
- 差動クロックを利用
- データストロブ信号によりタイミング調整
- より豊富なコマンド

コンピュータのCPU(中央処理装置)の性能向上はとどまることを知らず、SDRAMの転送性能もすぐに足りなくなりました。このため、クロックの立ち上がり、立下りの両方のエッジを使って倍の転送レートを実現する方法が登場しました。これは、**Double Data Rate (DDR) SDRAM**と呼びます。

DDR-SDRAMの読み出しタイミング



DDR-SDRAMは、コマンドとアドレスの与え方はSDRとほぼ同じ(コマンドは種類が増えています)ですが、クロックとクロックの反転の両方を与えます(差動クロックと呼びます)。クロック周波数も上がり、転送能力は大幅に向上しました。

DRAMのまとめ

- SRAMの4倍程度集積度が大きい
- 使い難いが、連続アクセスは高速
- 転送はますますパケット化する傾向にある
 - SDR-SDRAM→ DDR-SDRAM→DDR2-SDRAM
 - DDR2: 800Mbps (400MHz両エッジ) 2Gbit /Chip
 - DDR3: 1600Mbps (800MHz両エッジ) 4Gbit /Chip
 - DDR4: 2666Mbps(1333MHz両エッジ) 8Gbit/Chip
 - HMC (Hybrid Memory Cube:三次元構造)
 - HBM(High Bandwidth Memory:三次元構造)
 - パッケージ:FBGA(Fine pitch Ball Grid Array)の利用
 - SO-DIMM(Small outline Dual dual in-line memory module)の形で供給される: 8GByte/DIMM
 - 現在PC用にはDDR3,DDR4が標準となる
 - プリフェッチ機能→ 連続転送可能
 - 1. 5V電源、電気的特性の改善
- 制御は複雑、高速なため取り扱いもたいへん
 - IP(Intellectual Property)の利用が進む

では、DRAMをまとめましょう。クロックの両エッジを使ったDDR-SDRAMは、よりクロック周波数を高めて動作電圧を下げたDDR2に置き換わり、さらにDDR-3が現在もっとも良く使われます。これは800MHzの両エッジでデータの転送を行います。さらにこの上の版であるDDR-4が登場しています。一方、DRAMチップを三次元的に積層したHMC (Hybrid Memory Cube)も登場し、今後どのような方式がメジャーになるか目が離せないところです。この辺は、様々なコンピュータに搭載できなければならないので、「標準化」が重要です。基本的な動作原理はDDR2-4は同じなのですが、電気的な仕様や動作周波数が違ってきます。ちなみに、このような高速のDRAMに接続を行う制御回路を作るのは大変で、ここには以前紹介したIPを使います。DRAMに代わる新しい記憶素子としてFeRAMやMRAMなどが開発されていますが、まだ広く使われるには至っていません。今後しばらくはDRAMの重要性は落ちることはないようです。

送信済みx-ls - hunga@am.ics.jp | 高帯域幅メモリ - AMD | 5981_High_Bandwidth_Memory... | +

← → ↻ 🔒 <https://www.amd.com/system/files/documents/high-bandwidth-memory-hbm.pdf> 🏠 ☆ 🌐 📄 📄 📄

Source: "Combining these components onto integrated circuits," Gordon E. Moore, Fairchild Semiconductor, 1965

Revolutionary HBM breaks the processing bottleneck

HBM is a new type of memory chip with low power consumption and ultra-wide communication lanes. It uses vertically stacked memory chips interconnected by microscopic wires called "through-silicon vias," or TSVs.

The diagram illustrates the HBM architecture. It shows four orange HBM DRAM Dies stacked vertically, connected to a Logic Die (teal) and a GPU/CPU/Soc Die (purple) via TSVs (Through-Silicon Vias). The dies are mounted on an Interposer, which is connected to a Package Substrate. The Interposer also contains PHY and PIIT components. The Package Substrate is connected to the system via pins.

IMG_20190615_10...jpg すべて表示

AMD社のWeb Siteより
<https://www.amd.com/system/files/documents/high-bandwidth-memory-hbm.pdf>

10:54
2019/06/15

半導体メモリの分類

- RAM (RWM): 揮発性
 - SRAM(Static RAM)
 - DRAM(Dynamic RAM)
- ROM(Read Only Memory): 不揮発性
 - Mask ROM 書き換え不能
 - PROM(Programmable ROM) プログラム可
 - One Time PROM 一回のみ書き込める
 - Erasable PROM 消去、再書き込み可能
 - UV EPROM (紫外線消去型)
 - EEPROM (電氣的消去可能型) **FLASH Memory**

次に不揮発性、つまり電源を切っても中身が消えない半導体メモリを紹介しましょう。もっとも古いROMは、工場で中身が決まっていて書き込むことができませんでした。これをMask ROMと呼びます。これに対してプログラム可能なROM、Programmable ROM (PROM)が登場し、最初はヒューズを切ることによってプログラムをするOne Time PROMが使われました。これは一回ヒューズを切るともう書き換えが効かないので、後に消去可能なErasable PROM、EPROMが登場しました。これはFETのゲート内に電子を注入することにより、電源を切っても消えないデータを記憶できます。当初、消去には紫外線を照射する必要があり、ROMにはこのための窓が開いていました。後に、電氣的に消去可能なEEPROMが登場し、この一種のフラッシュROMが発展を遂げました。

メモリチップ外観

紫外線で消去する
UV-EPROM



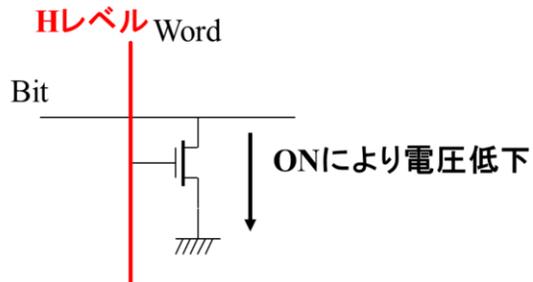
これが昔のメモリチップの概観です。一番左がUV-EPROMで、消去用の窓が開いていました。これに蛍光灯の親玉みたいな紫外線発生装置で紫外線を浴びせて中身を消します。(平和に消すには15分くらい掛かりました。瞬間消去可能な装置もあったのですが、チップがある確率で壊れるという噂がありました)。

フラッシュメモリ

- EEPROM型の発展: 小型化のために選択ゲートを用いず、ブロック単位で消去を行う。
- NOR型、NAND型、DINOR型、AND型等様々な構成法がある。
 - オンボード用: 高速消去可能NOR型 1Gbit程度まで
 - 単独読み出しが可能、消去が高速
 - ファイルストレージ用: 大容量のNAND型 1Gbit- 128Gbit/チップ
 - 連続読み出し、消去はミリ秒オーダー掛かる
 - SDメモリカード・SDHCメモリカードなど、8GB-32GBが使われる
 - 書き換え回数に制限がある
- 実例: 東芝TD58シリーズ(テキスト143ページ)
 - NOR型、基本の読み出し動作は簡単
 - 消去、再書き込みシーケンスは複雑
 - 16Mbit/Chip (NAND型はより大容量)

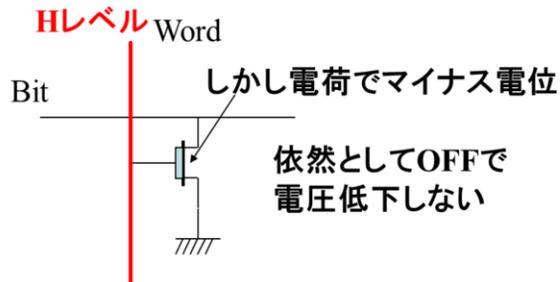
電氣的消去可能なメモリの中に、小型化を行うため、選択ゲートを用いずブロック単位の消去を行うのがフラッシュメモリです。フラッシュメモリには現在には様々な方法があり、大きくNOR型、NAND型に分かれています。NOR型は高速消去可能で、単独データの読み出しが可能で、消去も高速です。読み出しはほとんどSRAMと同じように使うことができます。これはボード上に搭載して電源を切っても消えないデータ(FPGAの構成情報など、来週やります)を保存しておくために使います。一方で、NAND型は、連続読み出しになり、消去はミリ秒近く掛かります。しかし容量は大きく、SDメモリカード、SDHCメモリカードなど大量のデータを蓄えておくときに使います。みなさんが最も良く使うのはこのメモリだと思います。フラッシュメモリは、タブレット、スマートフォンの補助記憶として使われ、最近ではディスクに置き換わり、大規模なデータセンターなどでも使われるようになりました。

フラッシュメモリの読み出し (電荷が存在しない場合)



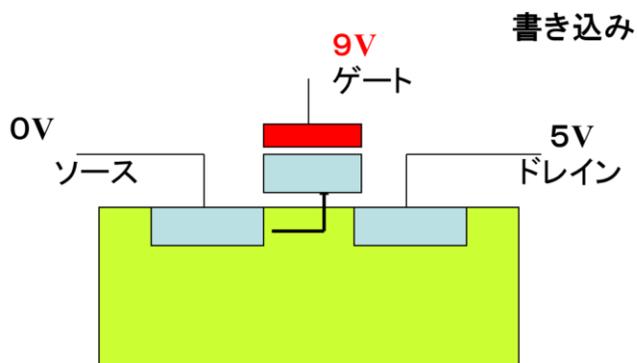
フラッシュメモリは、フローティングゲート内に電荷が存在するかどうかで情報を蓄えます。電子が存在しない場合、Word線をHレベルにするとトランジスタは普通にONになってBit線は電圧降下します。

フラッシュメモリの読み出し (電荷が存在する場合)



一方、フローティングゲート内に電荷があると、マイナス電位が生じるので、Word線がHレベルになってもONにならず、電圧が低下しないです。このためWord線はHレベルになります。

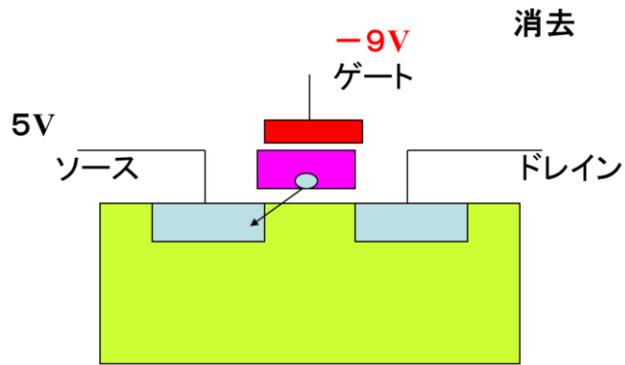
フラッシュメモリへの 書き込み



高電圧によりドレイン側から
ホットエレクトロンを注入

フラッシュメモリにデータを書き込む場合、ゲートに高い電圧を掛けドレイン側からホットエレクトロンを注入します。

フラッシュメモリの消去



トンネル効果により電荷を引き抜く

一方、消去する場合はゲートに低い電圧を掛けることによりトンネル効果によって電荷を引き抜きます。

SSD(Solid State Drive)

- フラッシュメモリを利用した記憶システム
(ストレージ)
- 大きいのは6.4TBの容量を持つ
- インタフェース
 - SATA(Serial ATA)
 - コスパに優れる
 - SAS(Serial Attached SCSI)
 - 性能、信頼性が高い
 - PCIe (PCI express)
 - PC用の汎用バス
 - NVMe(Non-Volatile Memory express)
 - PCIeを通じてSSDを繋ぐためのインタフェース



NAND型のフラッシュメモリのうちの大容量なものを使って作ったコンピュータ用の記憶装置をSSDと呼び次のページのHDD (Hard Disk Drive)と区別します。SSDはHDDに比べて小型でカード状になっており、高速です。PCやサーバーに接続して補助記憶として使います。HDDに従来から用いられたATAやSCSIのバスに接続するものと、PCIeに直接接続するもの、拡張用のバスNVMeを使うものがあります。

DC-CA ARM last2.pdf - Adobe Acrobat Reader DC
ファイル 編集 表示(V) ウィンドウ(W) ヘルプ(H)
ホーム ツール DC-CA ARM last2.pdf x

156 (170 / 336) 200%

所にある。



舛岡富士雄、1944年～
東北大学で博士号を取得。1971年から1994年まで東芝でメモリと高速回路の開発に従事。1970年代の後半、フラッシュメモリを夜間と週末の非正規プロジェクトで発明。フラッシュの名前は、メモリの消去の過程がカメラのフラッシュを連想されることから来ている。東芝はこのアイデアを商品化するのが遅れ、1988年にIntelが最初に商品化した。フラッシュは年間250億ドルの市場に成長し、舛岡博士は東北大学に移り、3次元トランジスタの開発に従事している。

は、ブ
5.5.7
メモ
は組み
ROMの
にデー
のメモ
く。例
く。
論理
(LU1
りで、

PDFを書き出し
PDFを作成
PDFを編集
注釈
ファイルを結合
ページを整理
入力と署名
署名用に送信
送信とトラッキング
その他のツール

Document Cloud で

210 x 297 mm

ここに入力して検索

フラッシュメモリ まとめ

- 不揮発性メモリのほとんどを制覇した
- NOR型: 基板に組み込まれて利用
 - FPGAの構成情報の格納(来週)
 - 小規模なプロセッサのプログラム格納
- NAND型: ファイルを記憶する目的で利用
 - USBメモリ、SDカードなど大量データの記憶
 - スマートフォン、タブレットなどの補助記憶
- 書き換え回数に制限がある点に注意！
 - 全体にうまくアクセスを散らす必要がある
 - コントローラを内蔵して対処している

フラッシュメモリについてまとめましょう。フラッシュメモリは急激に発達を遂げて、現在不揮発性メモリのほとんどを制覇しています。NOR型とNAND型に別れ、NOR型は基板上に組み込まれて利用されるのに対して、NAND型は移動用の記憶装置、スマートフォンやタブレットなどの補助記憶として用いられます。フラッシュメモリのNAND型は容量が大きくディスクに比べて速いですが、やはり時間が掛かる、一定の回数以上書き込めない等の問題点があります。このため、最近では周辺回路によって賢い制御をすることで、書き込み回数制限やアクセス時間の遅さを改善する試みがなされています。これがスマートフラッシュメモリです。フラッシュメモリはスマートフォン、タブレットだけでなく、今までディスクが主体であった大規模なデータストレージとしても使われるようになっており、最も激しく発展しているメモリの一つです。東芝が経営危機を脱却するために売却しようとしているメモリ事業は、主にこのフラッシュメモリの製造です。このメモリの将来性が大きいために、高額で売却して危機を乗り切ろうとしています。一方で、最も将来性の大きい事業を売却することは、当然のことながら未来の利益を手放すことに繋がります。

今日のポイント

半導体メモリは、電源を切って中身が消える(揮発性)か消えない(不揮発性)か、容量、アクセス時間で特徴付けられる。

揮発性の半導体メモリ(RAM)は

SRAM:Static RAM 容量は小さいが高速で使いやすい

DRAM:Dynamic RAM 容量は大きいที่ใช้難い

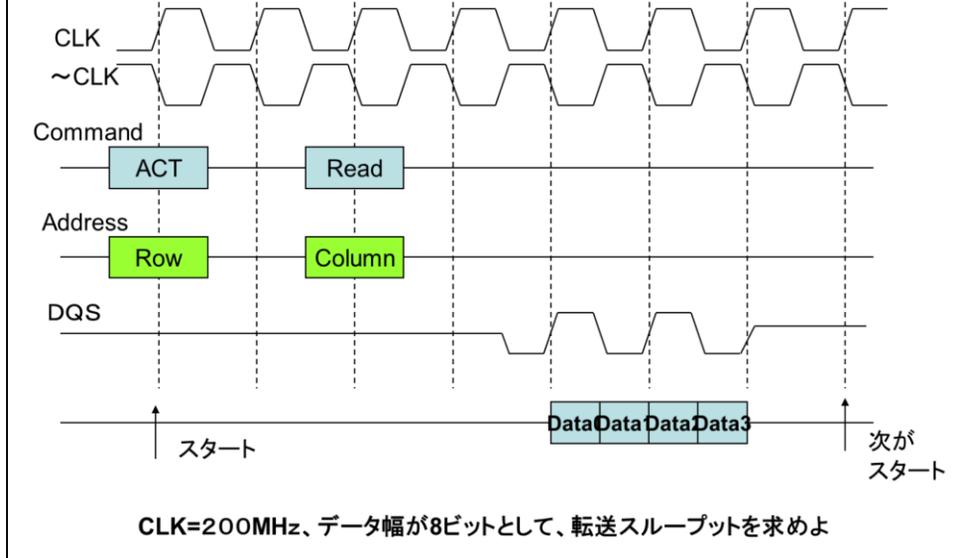
最近は連続転送が協力的なDDR-SDRAMが使われる

不揮発性メモリは、EEPROMの一種フラッシュメモリが市場を制圧した。NOR型とNAND型があって、NAND型はディスクに代わって携帯用のストレージとして用いられる



今日のポイントをインフォ丸が示します。代表的なメモリを覚え、傾向を掴みましょう。

演習11.3



ではもう一つ演習をやってみましょう。転送スループットとは何秒間にどの程度データが転送できるかを示します。MByte/Secの単位で示してください。