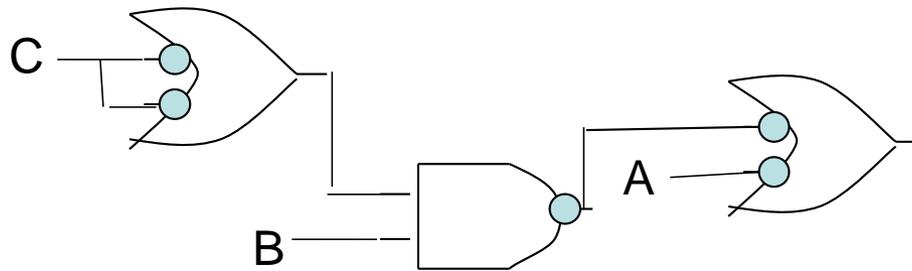


演習9.1 答

- ダウンロードした74AC00の規格表で電源電圧が2.0Vの時のノイズマージンを計算せよ
 - CMOS同士の接続では入力電流は小さい
 - ワーストケースデザイン(最悪の場合を考えた設計)をせよ
 - CMOS同士の接続なので50 μ Aのところを見ればよい
 - $V_{OH}=1.9V$, $V_{IH}=1.5V$ Hレベル 0.4V
 - $V_{IL}=0.5V$, $V_{OL}=0.1V$ Lレベル 0.4V

演習9.2 答



$t_{pLH}=10\text{nsec}$

$t_{pHL}=7\text{nsec}$

の時、A,B,Cそれぞれから出力までの
最大遅延時間を求めよ

A: 10nsec

B: $10+7=17\text{nsec}$

C: $10+7+10=27\text{nsec}$

小テスト8

電源VDD=1.2V

VIL	0.2V
VIH	0.8V
VOL	0.05V
VOH	1.1V
IOL	1mA
IOH	0.8mA
Iin	50 μ A

左の表のゲートがある。
LレベルとHレベルの
それぞれに対して
1. ノイズマージン
2. ファンアウト
を求めよ

小テスト答

電源VDD=1.2V

VIL	0.2V
VIH	0.8V
VOL	0.05V
VOH	1.1V
IOL	1mA
IOH	0.8mA
Iin	50 μ A

ノイズマージン

$$1.1V - 0.8V = 0.3V$$

$$0.2V - 0.05V = 0.15V$$

ファンアウト

$$800/50 = 16$$

$$1000/50 = 20$$