

## 規格表のリアル

設計を行うために必須なのが規格表  
規格表が読めれば、とりあえず設計はできる！

今回は実際の東芝のサイトなどからダウンロードした規格表を  
読むので、スライドにしたがってWebから各自ダウンロード  
してください。

上記が面倒な(できない)  
方は、前の列に座ってくれば見えるでしょう。

今日の授業は実際の規格表を読みながら進めていきます。今回は実際の企業のWebサイトからダウンロードした規格表を読みます。これは、指示に従って各自ダウンロードしてください。上記が面倒な場合は前の方の列に座ってください。見えるでしょう。

## 標準デジタルICの規格表

- 74AC00の規格を調べる
- <http://toshiba.semicon-storage.com/jp/product/logic/cmos-logic.html>
- あるいは、「東芝 汎用ロジック」で検索
- 上記の東芝のサイトに行って、74ACシリーズをクリック
- 74AC00Pの規格表のPDFをダウンロード

まずは、昔の標準デジタルIC74AC00の規格を調べましょう。このスライドに示すサイトに行って、74ACシリーズをクリックし、その中の74AC00Pの規格表のPDFをダウンロードしてください。「デジタル設計者のための電子回路」をお持ちの方は35ページに相当のものが出ています。

## 規格表とは？

- デバイスの電気的特性を示す表で、製造元が公開する
  1. 絶対最大定格: これを守らないと素子が破壊される可能性がある
  2. 推奨動作条件: これを守れば、静特性、動特性が保証される
  3. 静特性(DC特性): 時間項を含まない特性
    - 入出力特性、駆動能力、静的電流
  4. 動特性(AC特性): 時間項を含む特性
    - 伝搬(伝播)遅延時間、動的電流

ここでは電流は別に扱う

規格表とは、デバイス(電子回路素子)の電気的特性を示す表で、製造元が公開しています。これには、絶対最大定格、推奨動作条件、静特性(DC特性)、動特性(AC特性)の4つがあります。絶対最大定格は、これを守らないと素子が破壊される可能性がある条件です。推奨動作条件を守れば自動的に満足されるので、載せていない場合もあります。推奨動作条件は、デバイスの利用時に、守るべき条件を示します。この条件が守られないと静特性、動特性は保証されません。「推奨」とはいうものの、通常必ずこれを守って使います。ダウンロードした規格表の推奨動作条件を見て、この素子がどの程度の電圧レベル、温度で動作するかを確認しましょう。

静特性は、入出力特性、駆動能力、静的な電流など、時間項が関係しない特性を示します。一方、動特性は、伝搬遅延時間など、時間項を含む特性を示します。動的な電流はここに入りますが、これは通常別に扱われますので、実質上動特性はスピードに関する特性と言っていいと思います。

# うんちく

- 74シリーズは、標準デジタルICの規格

• 74 AC 00

74: 民生  
54: 軍用

デバイスの  
種類  
AC:  
Advanced CMOS

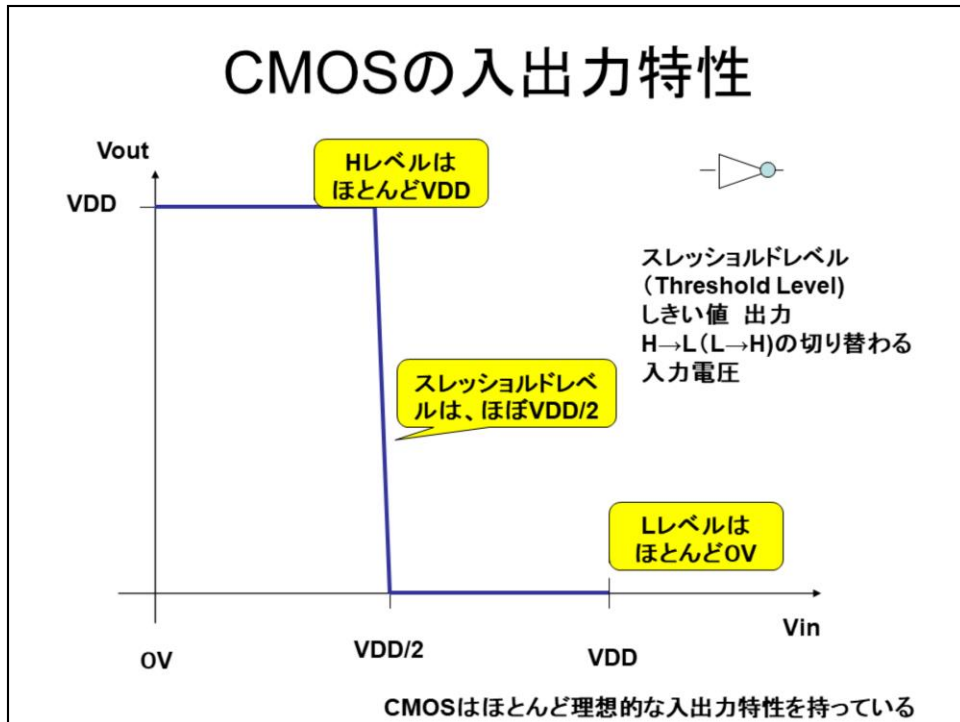
ゲートの種類  
00: 2入力NANDが4個

テキストp37に例を掲載

最近ではFPGA(Field Programmable Gate Array)などのプログラマブルデバイスに  
押されてあまり使われない

さて、74AC00は、かつて一般的に使われた標準デジタルICの一つです。この標準デジタルICとは、NAND、NOR、AND、OR、NOTなどの基本ゲート、マルチプレクサ、デコーダ、フリップフロップ、カウンタ、レジスタなどやや複雑なデジタル回路の標準的なモジュールの入ったICのことで、かつては、これを基板上に装着してピン間を配線することでデジタル回路を構成しました。最近では後に紹介するFPGAなどのプログラマブルデバイスに押されて、あまり使われなくなりましたが、今でも大きなIC間を繋ぐ役割やバッファ(電気的な増幅素子)やリセット回路などで時々使われます。標準デジタルICは番号のルールが以下のように決まっています。まず最初の74は民生品であることを示します。(54は軍用を示しますが、市場には出回っていません)次のACという記号はデバイスの種類を示します。ACはAdvanced CMOSの略です。最後の数字はゲートの種類を示します。00は2入力のNANDゲートが4個入っている素子です。標準デジタルICは通常DIP(Dual Inline Package)というプラスチックパッケージ(入れ物)に入っていて、片側7ピン、両方で14ピンが付いています。このピン配置も標準的に決まっています。規格表の図(あるいはテキスト37ページ)をご覧ください。

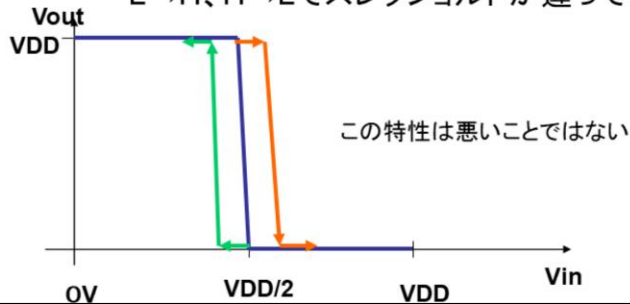
# CMOSの入出力特性



さて、まず代表的な静特性である、入出力特性を説明しましょう。ここではNOTゲートを例にとって入力 $V_{in}$ と出力 $V_{out}$ の関係を示します。NOTゲートなので入力が0Vの時は出力はHレベルが現れます。CMOSの場合、電源電圧がトランジスタを介して出力に表れますので、ほとんど電源電圧(VDD)そのままの値が出力されます。ここで、入力電圧をだんだん上げて行きます。しばらく上げても出力に変化はありませんが、入力電圧がほぼVDDの半分になった時に出力は突然Lレベルに急降下します。Hレベルの場合同様、Lレベルはほとんど0Vに等しくなります。以降電圧を上げても0Vを守ります。この突然出力が変化するときの入力電圧をしきい値(Threshold Level:スレッシュホールドレベル)と呼びます。CMOSのスレッシュホールドレベル付近の電圧変化は非常に急峻です。Lレベルは0V、HレベルはVDD、スレッシュホールドレベルはVDD/2で、変化は非常に急峻という理想的なデジタル回路の特性をCMOSが持っていることが分かります。

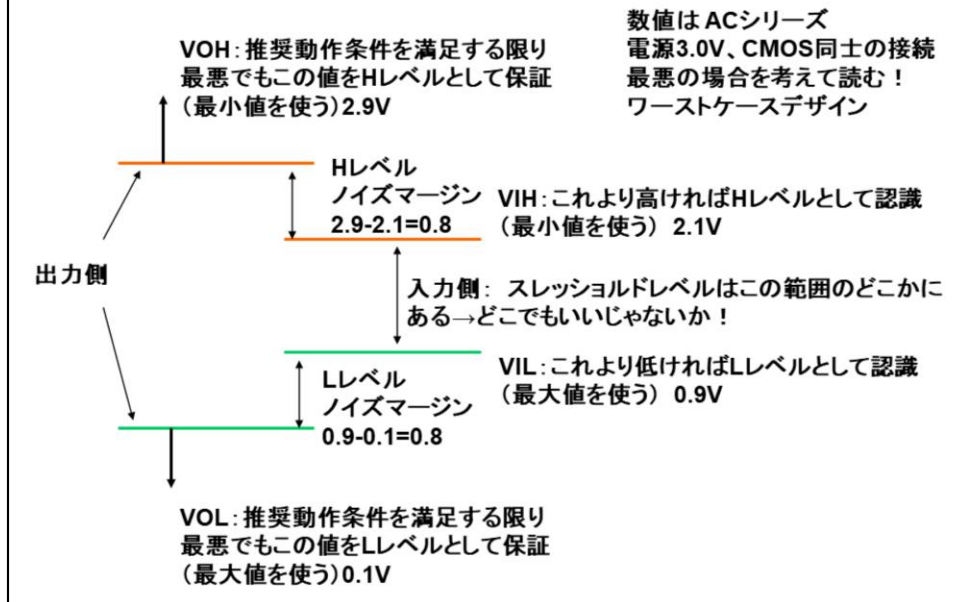
## スレッシュヨルドレベルの決め方

- スレッシュヨルドレベルを固定値に定めることは困難
  - 温度による違い
  - 製品の特性ばらつき
  - ヒステリシス(履歴)特性
    - L→H、H→Lでスレッシュヨルドが違ってくる



さて、このスレッシュヨルドレベルがどのように規格表に表されているかを見てみましょう。**CMOS**のスレッシュヨルドレベルはほぼ $V_{DD}$ の半分ですが、これを規格にしてしまうことはできません。これは、温度の変化や製品のばらつきがあつて微妙に違ってくるためです。さらに、LレベルからHレベルに変化した時のスレッシュヨルドレベルと、HレベルからLレベルに変化した時のスレッシュヨルドレベルは微妙に違っています。(昔、学生実験で入力電圧を上げて行ったり、下げて行ったりしてスレッシュヨルドレベルを測ろうとして電圧が違って大変に苦労した経験があります)

# 工学的スレッシュホールドレベル



では、規格表の上で、スレッシュホールドレベルはどのように決めればよいのでしょうか？  
まず出力側はVOHとVOLを定めます。VOHは推奨動作条件を満足する限り最悪でも出力することを保証するHレベルの値です。例えばACシリーズで電源電圧が3.0VでCMOS同士の接続の場合(つまり出力電流があまり流れない)場合は、2.9Vになっています。ちなみに、このような値は常に最悪の場合を考えて読みます。一方、VOLは、推奨動作条件を守る限り最悪でも出力することを保証するLレベルです。この場合も悪い方を読み取ると0.1Vになります。

さて、入力側はVILとVIHを決めます。VIHは、これより高ければHレベルとして認識してくれる値のことで、やはり最悪値を考えて2.1Vを読み取ります。VILはこれより低ければLレベルとして認識してくれる値でこの場合は最大値の0.9Vを取ります。結果としてHレベルではVOH-VIH分、LレベルではVIL-VOL分の余裕を持ってHレベルとLレベルの受け渡しができていることがわかります。これをノイズマージン(雑音余裕度)と呼びます。ここではHレベル、Lレベル共に0.8Vのノイズマージンがあることになります。ノイズマージンが小さいと小さいノイズでも誤動作する可能性があります。ここでは、すべての値に規格表の最悪値を用いました。このような設計の仕方をワーストケースデザインと呼びます。どのような環境でも動作させるためには、ワーストケースデザインをする必要があります。ワーストケースデザインでは最大値(MAX)と最小値(MIN)を使います。標準値(TYP)は、通常の動き方を示すための参考データで、場合によっては書いていないこともあります。

ではスレッシュホールドレベルはどこか？というVIHとVILの間のどこかにあるのです。すなわち、工学的にはスレッシュホールドレベルは幅で定義されます。

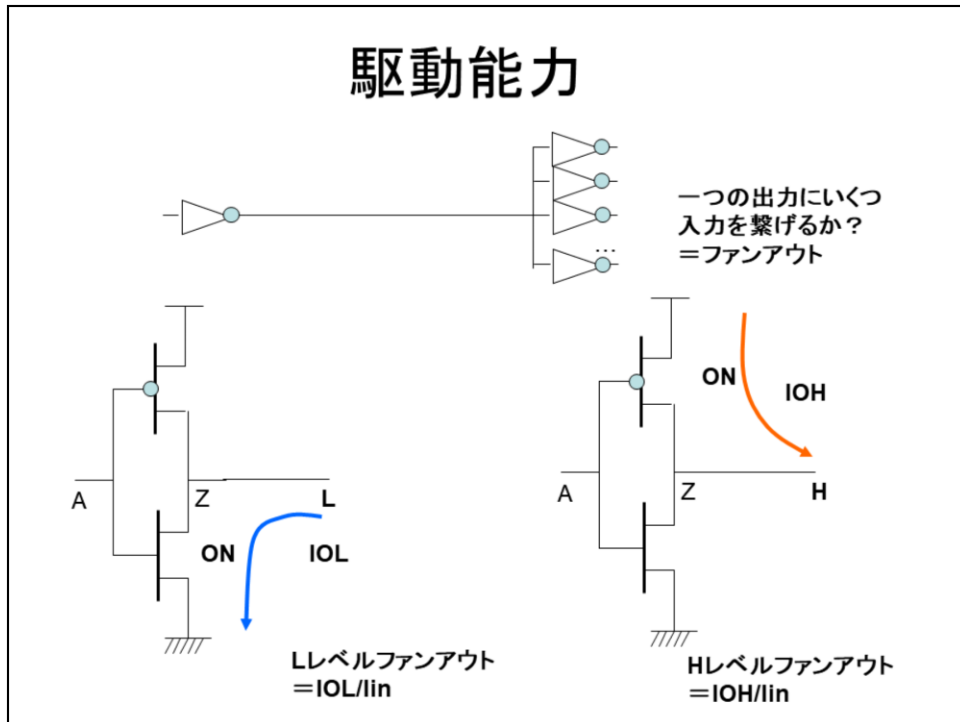
# 演習1

- ダウンロードした74AC00の規格表で電源電圧が2.0Vの時のノイズマージンを計算せよ
  - CMOS同士の接続では入力電流は小さい
  - ワorstケースデザイン(最悪の場合を考えた設計)をせよ

では演習をやってみましょう。ダウンロードした規格表で電源電圧が**2.0V**としてノイズマージンを計算してみましょう。ここで、**CMOS**同士の接続では入力電流は小さい(**CMOS**は電圧駆動素子でゲートは絶縁されていることを思い出しましょう)ので、出力する方は出力電流が小さいときの数値を使ってください。ワorstケースデザインの考え方で計算してください。



# 駆動能力



入出力特性について重要な静特性は直流電流をいくつ流し込み、また流しだせるか、すなわち、素子の電氣的な駆動能力を表す特性です。一つの素子の出力にたくさんの入力を繋ぐことを考えましょう。Lレベルの場合、それぞれの素子から電流が流れ込んできます。この状態をシンクロードと呼びます。この流れ込んでくる電流 $I_{OL}$ が積み重なって大きくなるとONになっているFETの抵抗により出力電圧が上がってしまう可能性があります。VOLが上昇するとノイズマージンが維持できません。一方、出力がHレベルの場合、電流は流しだす方向になります。これをソースロードと呼びます。流しだす電流 $I_{OL}$ が大きすぎるとHレベルが下がってしまうかもしれません。

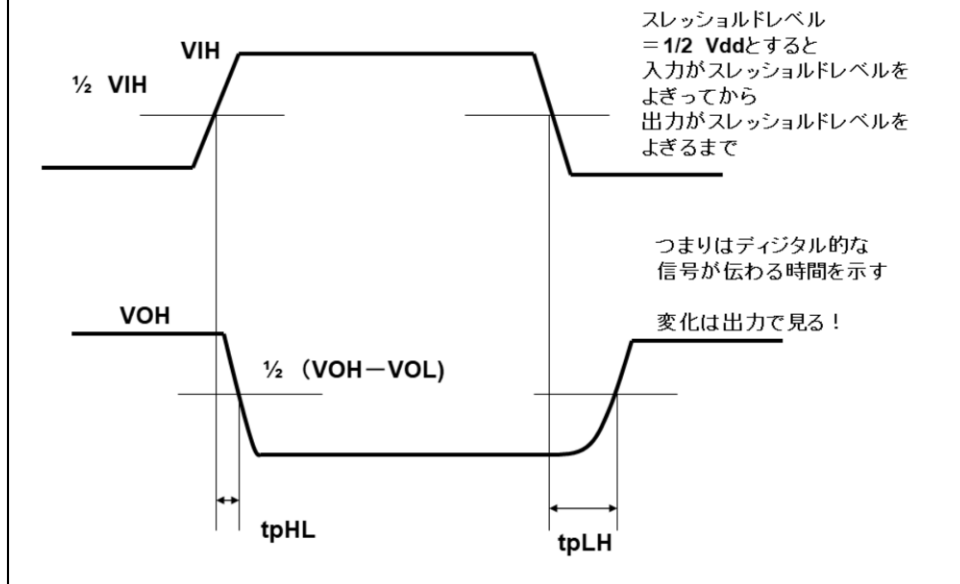
しかし、CMOSは電圧駆動素子で、ゲートはソース、ドレインとは絶縁されているので、この入力電流 $I_{lin}$ は小さいです。規格表上には $I_{OL}$ の最大値と $I_{OH}$ の最大値が載せてありますので、 $I_{OLmax}/I_{lin}$ 、 $I_{OHmax}/I_{lin}$ を計算すると素子の一つの出力に何個の入力が接続できるかがわかります。この値をファンアウトと呼びます。

## CMOSのファンアウト

- 規格表から直流的ファンアウトを計算すると
  - ノイズマージンを維持する場合：
    - $50\mu\text{A}/1.0\mu\text{A}=50$ 個
  - ノイズマージンが小さくなくてもよければ：
    - $24\text{mA}/1.0\mu\text{A}=25000$ 個
  - 実際は両方共大きすぎる
  - 容量負荷、波形の乱れを考えると10個程度にするのが普通

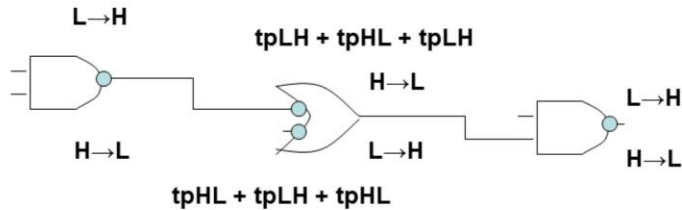
ではCMOSのファンアウトを計算しましょう。先ほどのノイズマージンは出力電流 $I_{OL}$ 、 $I_{OH}$ が共に $50\mu\text{A}$ である場合でした。また、規格表からは入力電流 $I_{in}$ は $10\mu\text{A}$ ですので、ファンアウトは50個であることがわかります。もしもノイズマージンが多少減ってもよければ最大 $24\text{mA}$ 流しても大丈夫なので、25000個になってしまいます。両方共実は多過ぎて、50個も繋ぐと入力容量が増えて波形が乱れるので、通常10個くらいにしておきます。基本的にCMOSは直流的なファンアウトを考えないで使えると思っています。

## 伝搬遅延時間



次に動特性の表を見てください。デジタル回路の動特性は、伝搬遅延時間で表されます。出力の安定レベルを $VOL$ 、 $VOH$ としています。立下り伝搬遅延時間 $tp_{HL}$ は入力が $(VOH-VOL)/2$ をよぎってから、これに反応して出力が $VOH$ から $(VOH-VOL)/2$ をよぎるまでの時間です。CMOSの場合、 $VOH=VDD$ 、 $VOL=GND$ と考えて良いので、入力が $VDD/2$ をよぎってから、出力が $VDD$ から $VDD/2$ に変化するまでの時間と考えて良いです。立ち上がり伝搬遅延時間 $tp_{LH}$ は、入力が $VDD/2$ をよぎってから、出力が $0V$ から $VDD/2$ に変化するまでの時間です。 $VDD/2$ をスレッシュホールドレベルと考えて良いので、この値は入力がスレッシュホールドレベルをよぎってから、出力がスレッシュホールドレベルをよぎるまで、つまり、デジタル的な信号の伝わる時間を示します。 $p$ はpropagation delayの頭文字です。変化の方向は出力で見ることに注意してください。 $tp_{HL}$ と $tp_{LH}$ は同じと見なせる場合もありますが、素子によってはかなり違う場合があります。

# STA (Static Timing Analysis)

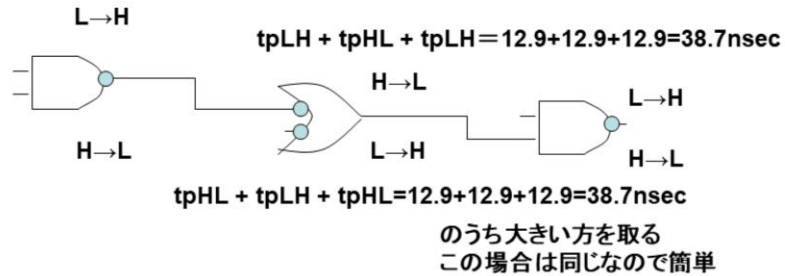


のうち大きい方を取る

通常 $tp_{HL} < tp_{LH}$ なので  
 $2 \times tp_{LH} + tp_{HL}$   
の方が大きくなる傾向にある

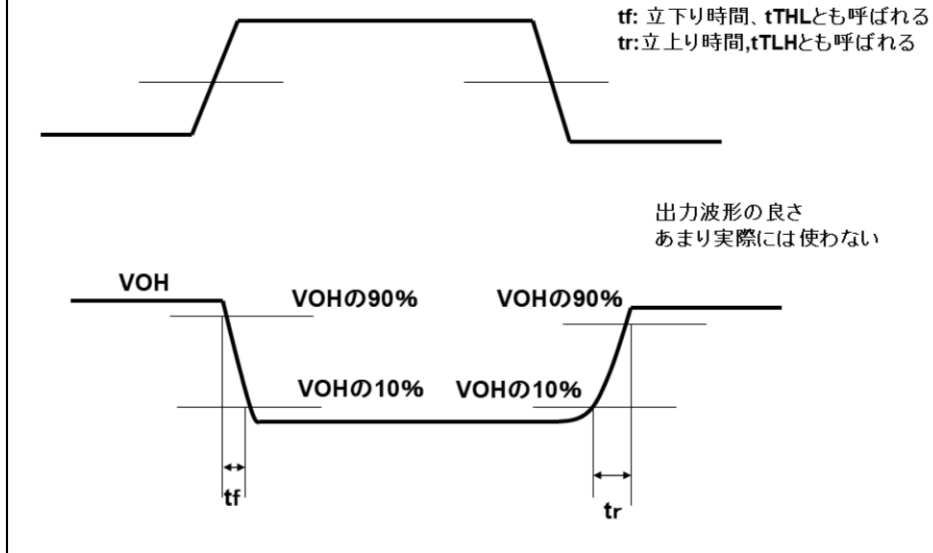
伝搬遅延時間をデジタル信号の伝わる時間と考えるとゲートを複数使って作った回路全体の遅延時間を求めることができます。たとえばこの図ではNANDゲートが3つ接続されています。最初のゲートの出力がL→Hに変化した場合は、2段目がH→Lへ、3段目はL→Hに変化します。したがって伝搬遅延は $2 \times tp_{LH} + tp_{HL}$ になります。逆に最初のゲートの出力がH→Lに変化した場合は、2段目はL→H、3段目はH→Lに変化します。このため伝搬遅延は $tp_{LH} + 2 \times tp_{HL}$ になります。どちらか大きい方が伝搬が遅いので、これが全体の回路の遅延となります。多くの場合は $tp_{HL} < tp_{LH}$ なので $2 \times tp_{LH} + tp_{HL}$ の方が大きくなる傾向にあります。このように、回路全体の遅延時間を計算することを**Static Timing Analysis: STA**と呼びます。回路が複雑になるそれぞれの出力の変化の方向を判別するのは大変ですので、**CAD**にお任せします。回路中に複数の信号の流れる道がある場合、その中の最も長いパスがその回路の遅延時間となります。これをクリティカルパスと呼びます。**CAD**を使ってクリティカルパスを求める**STA**は最近のデジタル回路設計の基本的な手法となっています。

例題:74AC00を使った下の回路の最大遅延を求めよ  
ただし、電源は3.3Vとする



ではダウンロードしてきた74AC00の規格表を使ってこの図の回路のSTAをやってみましょう。この規格表では $tp_{LH}$ と $tp_{HL}$ が同じなので計算は簡単です。このように $tp_{LH}$ , $tp_{HL}$ が同じならば遅延時間は単にゲートの段数で見積もることができます。

# 立上がりり立下り



デジタル回路の動特性には波形の立ち上がり時間と立下り時間を示す場合もあります。これも出力波形に注目し、出力が下がり始めて(VOH-VOL)の90%から10%まで変化した時間を立下り時間 $t_f$ 、10%から90%まで変化した時間を立ち上がり時間 $t_r$ と呼びます。CMOSの場合VDDの90%から10%まで、10%から90%まで、と考えて問題ありません。最近のデジタル回路は十分高速に波形が変化するため、立ち上がり時間、立下り時間はあまり規格表には示されないようになりました。

## 消費電力(ダイナミック電力)

- CMOSのスイッチングとその伝搬に必要な電力
- $\frac{1}{2}$  容量 × 電源電圧の2乗 × スwitchング率
- スwitchング率は通常動作周波数に比例
- 容量は、ドライブする側とされる側、配線容量を含む
- 電圧を下げるのが最も効く
  - 5V→3.3V→2.4V→1.5V→1.0V(これより下げるのが困難)

最後に消費電流について検討しましょう。消費電力はダイナミックな電力とスタティックな電力に分けられます。CMOSは動作していない場合、nMOSとpMOSのどちらかはOFFになっているため、基本的に電流は流れません。しかしON→OFFの切り替わり時には両方のトランジスタが一瞬ONになって貫通電流が流れます。また、レベルをHやLに変化するためにはトランジスタの内部の容量と出力に接続されている負荷容量を充放電する必要があり、電流が流れます。このための電力はここに書いてあるように、容量に比例し、電源電圧の2乗に比例し、スイッチング率に比例します。容量はファンアウトを減らしたり、配線を短くすることである程度小さくすることはできますが、限界があります。もっとも高価的なのは電源電圧を減らすことで、このため、デジタル回路の電源電圧は1980年代のはじめには5Vが標準的だったのが、どんどん下がって今では1.0V以下のものも使われます。動特性の表を見ると気づくと思いますが、同じ素子では電源電圧が下がると伝搬遅延時間が延びてしまいます。つまり遅くなります。低い電圧でも小さい伝播遅延で動作するにはプロセスサイズを小さくする必要があります。スケールリング則を思い出しましょう。

# ダイナミック電力の節約

- 電源電圧を下げる→2乗で効く！
  - 1.2V-0.8Vで限界に達する
  - 電源電圧を下げると動作速度が遅くなる
  - 低電力組み込み用では0.4Vまである
    - near threshold: 特殊なデバイスが必要
- 性能と電力はトレードオフの関係
  - DVFS (Dynamic Voltage Frequency Scaling)
    - 演算性能が必要なときだけ、電圧、周波数を上げてがんばる。それ以外では電圧と周波数を下げて省電力モードで動作
- スwitching確率を下げる→不必要な部分は動かさない
  - クロックゲーティング
  - オペランドアイソレーション

ダイナミック電力を節約するにはどうすればよいでしょう。電源電圧を下げると、2乗で効きますが、動作速度が落ちます。これが許される場合は、電源電圧を下げると共に動作周波数を下げてスitching率を小さくすると大きく電力を減らすことができます。最近のパソコン、スマホなどは全てこの技術を使っています。これを

**DVFS(Dynamic Voltage Frequency Scaling)**と呼びます。DVFSの利用により、使っていない場合は電圧、動作周波数ともに下げてローパワーモードに入り、使うときにだけ上げてやります。スitching率を下げるために、使っていないクロックを止めてしまったり(クロックゲーティング)、入力を不必要に変化しないようにしたり(オペランドアイソレーション)します。



## スタティック電力(リーク電力)

- リーク電流は、動作しなくても流れる
- 規格表では静特性の最後に載っている  
→バッテリー駆動では致命的
- リーク電流は、スレッシュホールドレベルが低いと大きくなる
  - 高速CPU
  - 低電圧プロセス
- パワーゲーティング
- バックバイアス
- Dual Vthなど様々な方法が使われる

次にスタティック電力について紹介しましょう。**CMOS**は片方のトランジスタが必ず**OFF**になっているので、原理的にはスタティック電力は**0**になるはずで、実際に流れるのは全て漏れ(リーク電力)です。リーク電力は古いプロセスではほとんど問題にならなかったのですが、プロセスが新しくなりチャンネル幅が短くなるにつれて増えて来ており、最近是非常に問題となっています。特にリーク電力は動作しなくても流れるので、バッテリー駆動の製品では致命的です。規格表では静特性の最後の方に載っています。基本的にリーク電力はスレッシュホールドレベルが低いと大きくなります。このため、高速動作のために低いスレッシュホールドレベルのトランジスタを使う**高速CPU**や、ダイナミック電力を減らすために電源電圧を低くして使うためにスレッシュホールドレベルが低いトランジスタを使う場合などで大きくなります。リーク電力を減らすためには、スレッシュホールドレベルの高い漏れ電流の小さい(でも遅い)トランジスタをスイッチとして使って回路の電源を使っていない時に切ってしまう**パワーゲーティング**、サブストレートに電圧を掛けてスレッシュホールドレベルを制御する**バックバイアス**、複数のスレッシュホールドを使う**Dual Vth**など様々な方法が使われます。皆さんの使っているスマホにも**パワーゲーティング**が多分使われています。

## 74AC00の場合

- $I_{cc}(\text{動作時}) = CPD \times VCC \times f_{IN} + I_{cc}/4$

例: 3.3V, 50MHzでの動作電流は？

$$68 \times 10^{-12} \times 3.3 \times 50 \times 10^6 = 11220 \times 10^{-6} \\ = 11.22\text{mA}$$

これに静的消費電流 $40\mu\text{A}/4=10\mu\text{A}$ を加えて  
11.221mA(しかし、実はこんなに精度は高くないので静的電流は省略可能)

電力は 約37mW

74AC00は古いデバイスなのでこの数値は大きすぎる！

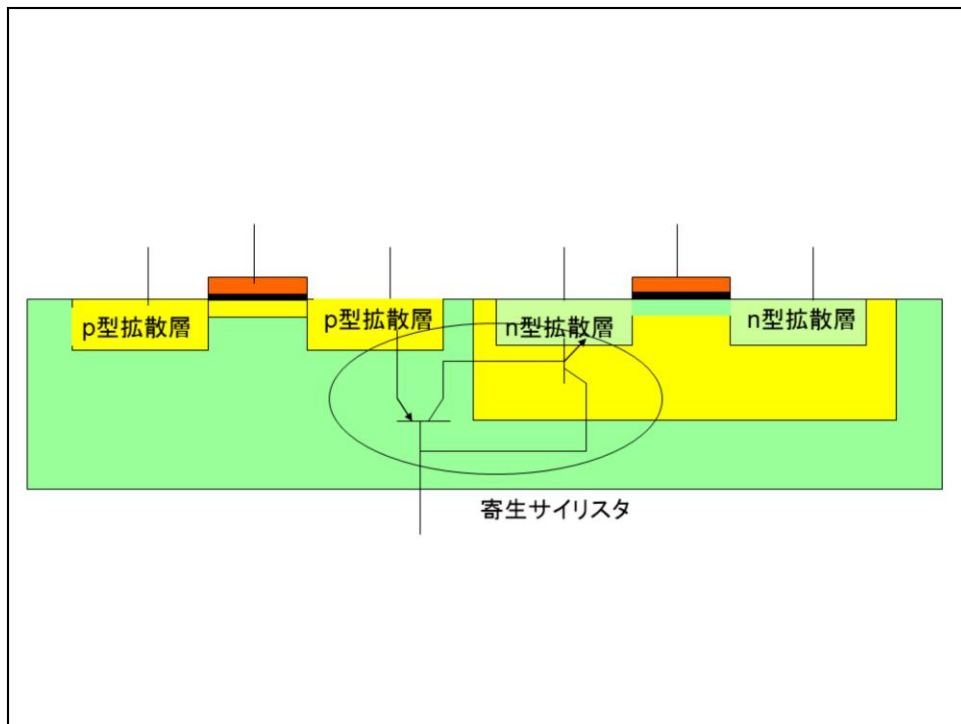
では、74AC00の場合はどうでしょう。動作電力はここに示す式で表され、これに漏れ電力 $I_{cc}/4$ を足します。代入してみると大変大きな値になります。もれ電力は無視できることがわかりますがこれはデバイスが古いためです。

## CMOS利用上の問題点

- 静電破壊
  - 静電気が薄い絶縁膜を破壊
  - ANTI STATICの袋、ケース、黒いウレタン、銀紙などに保管
  - 製品に組み込んで電源を付ければ大丈夫
  - 基板やチップを不用意に手で触れないように注意
- ラッチアップ
  - CMOSのpMOS, nMOSの組み合わせパターンがサイリスタを構成
  - 何かの原因でオンになって過電流が流れる
  - 入力が電源電圧よりも大きいと発生しやすい
  - ダイオードなどの保護回路が有効

では最後にCMOS利用上の問題点について触れて置きます。CMOSはゲートが薄い絶縁膜でサブストレートと切り離されています。この膜は大変薄いので静電気によって破壊されてしまいます。静電気は電流を流しだす力はないですが、電圧だけはやたらに高いのでごく薄い膜を破壊してしまうのです。このため、ANTISTATICと書いたビニールの袋、ケース、黒いウレタン、銀紙などに保管します。もちろん、製品に組み込んで電源を付けた状態では大丈夫ですが、チップや基板を不用意に手で触れないように注意しましょう。

もうひとつCMOSではラッチアップというやっかいな現象があります。CMOSはpMOS,nMOSを組み合わせて作るのでこれが寄生のサイリスタという素子を形成し、これが何かのきっかけでONになって過電流によって素子を破壊する現象がラッチアップです。これは入力が電源電圧よりも大きいと発生しやすく、変動の大きい電源を使うと怒り易いです。最近ダイオードなどの保護回路が組み込まれており、発生の確率は減っています。



これが寄生のサイリスタです。**CMOS**の初期の頃はこの現象にだいぶ悩まされました。

# 今日のポイント

静特性で大事なものは

1. 入出力特性: 工学的にはスレッシュホールドレベルはVILとVIHのどこかにある。

ノイズマージンはVIL - VOL、VOH - VIH

2. 駆動能力: ファンアウトはIOL/lin, IOH/lin

動特性で大事なものは伝搬遅延時間tpLH, tpHL

デジタル信号の伝わる時間

ダイナミック電力は電圧の2乗、スイッチング率に比例

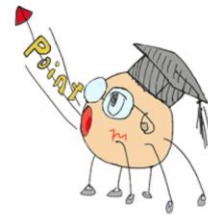
スタティック電力は電圧に比例

CMOSは理想的な静特性を持っている。

スレッシュホールドレベルはVDD/2, VOL=GND、

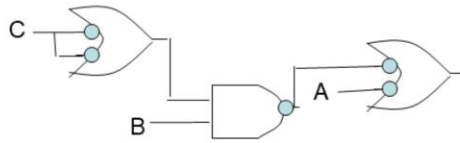
VOH=VDD、静電気、ラッチアップに気をつけて

使おう



今日のポイントをインフォ丸が示します。

## 演習2



$tp_{LH}=10\text{nsec}$

$tp_{HL}=7\text{nsec}$

の時、A,B,Cそれぞれから出力までの  
最大遅延時間を求めよ

では演習をやってみましょう。これは例題と同じですのでさほど問題はないと思います。