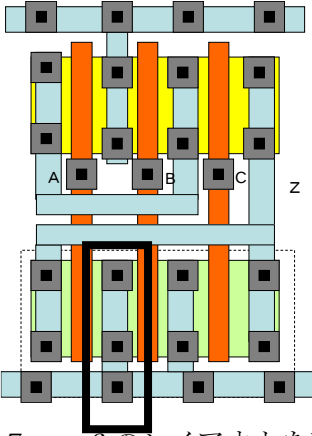
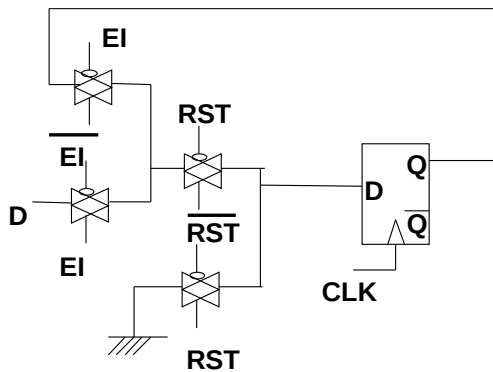


6. 下の CMOS 回路のレイアウトは、nMOS 側に誤りがあり正しく動作しなかった。pMOS 側は正しいとすると、そのブール代数表現はどのようなになるかを書きなさい。 $\overline{A \cdot B + C}$



7. 6のレイアウトを正しく動作するように修正しなさい。上の口内のメタルを取り除く
8. 下の回路の動作を簡単に説明しなさい。



RST=1 で $Q=L$ 、RST=0, EI=1 で D を記憶、EI=0 で値を保持するリセット、イネーブル付きフリップフロップ

8. 上の回路で、トランSMissionゲートの遅延時間が 2nsec、フリップフロップの遅延時間が 10nsec、セットアップ時間が 1nsec の場合の動作周波数を求めなさい。

$$1 / (2 + 2 + 10 + 1) = 66.7 \text{ MHz}$$

10. FPGA 内では、組み合わせ論理を LUT の形で実現する。LUT は表でありメモリ素子で実現できるのに、なぜ現在の FPGA は、LUT を小さなサイズのレジスタとマルチプレクサのツリー構造で実現し、メモリ素子を使わないのだろうか？考えるところを簡単に書きなさい。

メモリ素子は、容量が大きい場合に効果的な構造で、入力数が少ない場合はレジスタ+マルチプレクサのツリー構造の方が面積、動作遅延共に有利である。（など）