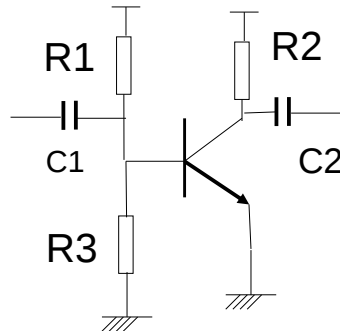


慶應義塾大学試験問題用紙（日吉）

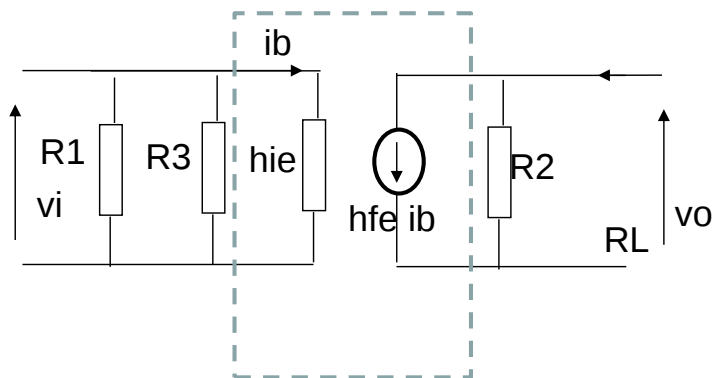
										試験時間		50 分		分	
平成 27 年 7 月 27 日 (月)2 時限施行				学部		学科		年		組		採 点 欄		※	
担当者名		天野 英晴 君		学籍番号											
科目名		電子回路基礎		氏 名											

問 1 下の図において $R_1=400\text{K}\Omega$ 、 $R_2=2\text{K}\Omega$ 、 $R_3=100\text{K}\Omega$ 、 $h_{FE}=100$ 、電源電圧 10V とする時、コレクタ電圧とコレクタ電流（動作点）を求めよ。

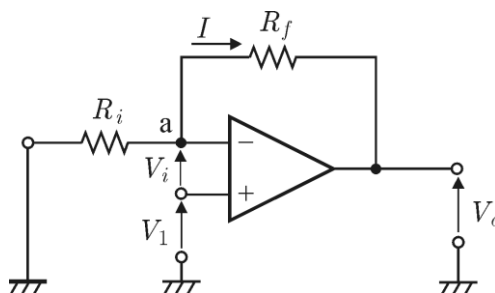


ON 電圧を 0.7V とすると、 R_1 に流れる電流は、 $(10\text{V}-0.7\text{V}) / 400\text{K}\Omega = 23.25\mu\text{A}$ 、このうち R_3 に流れる分は、 $0.7/100\text{K}\Omega = 7\mu\text{A}$ 、したがってゲート電流は $23.25 - 7 = 16.25\mu\text{A}$ 、コレクタ電流は h_{FE} 倍になって、 **1.625mA** 、 R_2 での電圧降下が $1.625 \times 2 = 3.5\text{V}$ 、 $10 - 3.5 = \mathbf{6.5\text{V}}$ がコレクタ電圧

問 2 上の図の小信号等価回路を描け。

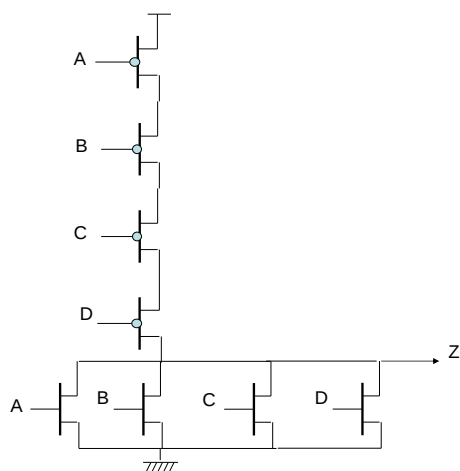


問 3 下の増幅回路で、 $R_i=10\text{K}\Omega$ とした時に、増幅率を 4 倍にするためには R_f をどのようにすれば良いか計算せよ。

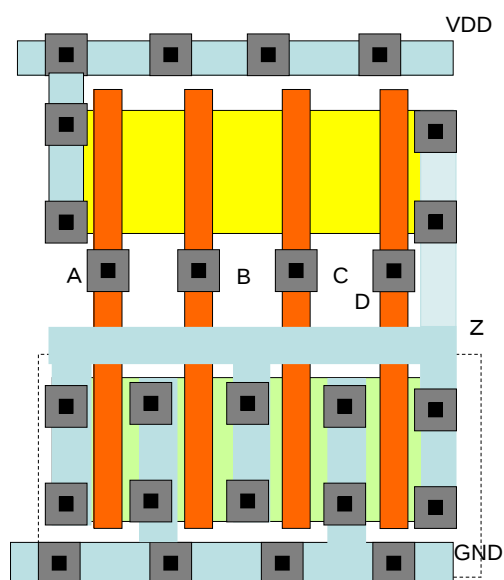


a 点はイマジナリーショートにより V_1 、よって $I = V_1/R_i$ $V_o = V_1 + IR_f = V_1(1 + R_f/R_i)$
 $V_o/V_1 = (1 + R_f/R_i) = 4$ より、 $R_f/R_i = 3$ 、 $30\text{K}\Omega$

問 4 CMOS 回路で $A+B+C+D$ の論理を実現するトランジスタの接続図を描け



問 5 問 4 の回路を下の図上にレイアウトせよ。見やすく示すこと。



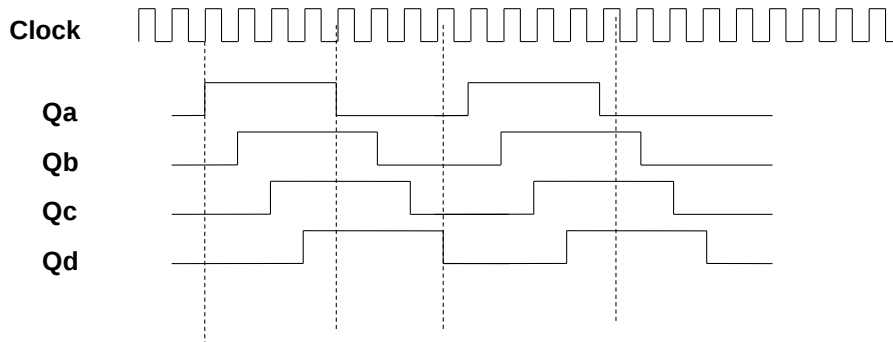
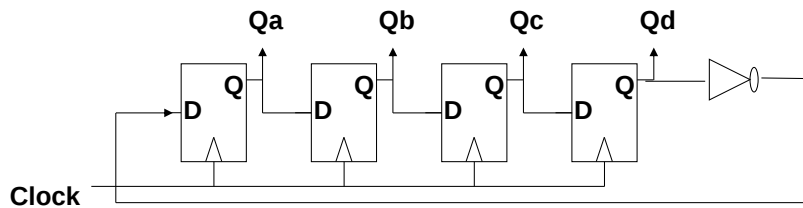
問 6 下の表の静特性を持ったゲートの①ノイズマージン②ファンアウトを H/L それぞれのレベルについて求めよ

V_{IH}	0.5V	I_{IL}	$0.1\ \mu\text{A}$
V_{IL}	0.2V	I_{IH}	$0.05\ \mu\text{A}$
V_{OH}	0.8V	I_{OL}	$50\ \mu\text{A}$
V_{OL}	0.05V	I_{OH}	$20\ \mu\text{A}$

① ノイズマージン $0.8 - 0.5 = 0.3\text{V}$ (H レベル) $0.2 - 0.05 = 0.15\text{V}$ (L レベル)

② ファンアウト $50 / 0.1 = 500$ $20 / 0.05 = 400$ もちろんこんなに繋いではいけません。

問 7 下の回路のタイミング図を描け。ただし全ての F.F.の出力が 0 の時から始めよ。



ジョンソンカウンタになっている。

問 8 上の回路において F.F.の遅延時間が 15nsec、セットアップ時間が 3nsec、NOT ゲートの遅延時間が 8nsec であるとき、回路の最大動作周波数を求めよ。

$1/(15+3+8)=38.4\text{MHz}$ $1/(15 \times 4 + 3 + 8)$ という答えが数多く見られたが、もちろん間違い！

問 9 あなたが買った 16GByte の DIMM カード上には DRAM が 4 個搭載されていた。

データビット幅が 4 ビットであるとする、それぞれの DRAM のアドレスは何ビットであると考えられるか？

1 個 4 Gbyte、4 ビットなので深さは 1 Gbyte = 8 Gbit すなわち 2 の 33 乗 33 本

問 10 ASIC は FPGA に比べて、性能も高く消費電力も小さい。それにも関わらず最近 ASIC の市場が縮小して、その代わりに FPGA の市場が拡大しているのはなぜか？簡単に説明せよ。

最新プロセスのマスク代、設計費用などの Non-Recurrent Cost (NRC) は急増しており、機能、目的が固定されている ASIC はよほどの個数が見込まれなければ開発が困難になっている。一方、ユーザーが自分の設計した回路を搭載できる FPGA は、構造が簡単で、同じチップを様々な目的に使えることから最新プロセスで作っても NRC を容易に回収することができ、コストの点で有利になる。