

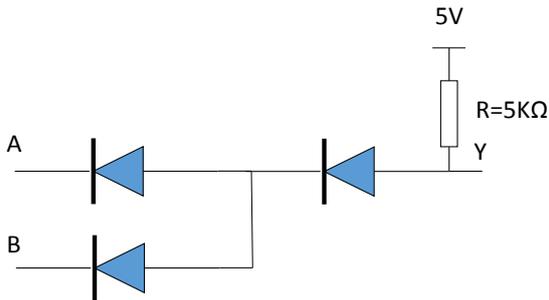
慶應義塾大学試験問題用紙 (日吉)

		試験時間	50 分	分
平成 26 年 7 月 28 日 (月) 2 時限施行		学部	学科	年 組
担当者名	天野 英晴 君	学籍番号		
科目名	電子回路基礎	氏 名		
		採点欄	※	

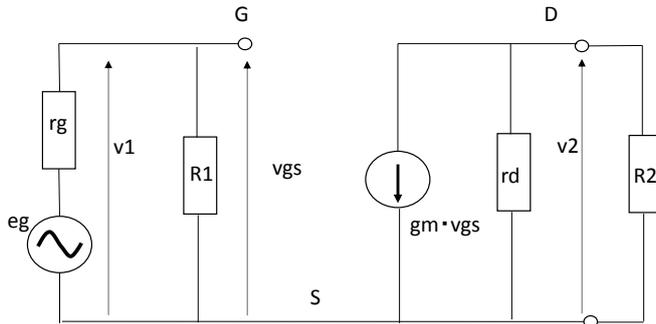
1. 下の回路について答えよ。

(1)  $A=0V, B=5V$  の時、 $Y$  の電位を求めよ ON 電圧を  $0.6V$  とすれば、 $0.6 \times 2 = 1.2V$

(2)  $A=5V, B=5V$  の時、 $Y$  の電位を求めよ 電流が流れないので、 $5V$



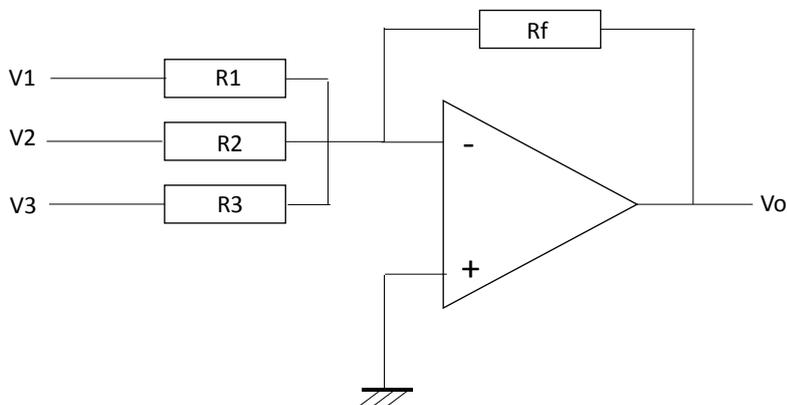
2. 下の回路は FET の等価回路である。



$rg=1\Omega, R1=R2=20K\Omega, rd=100K\Omega, gm=10mS$  とした時の電圧増幅率  $v2/v1$  を求めよ。

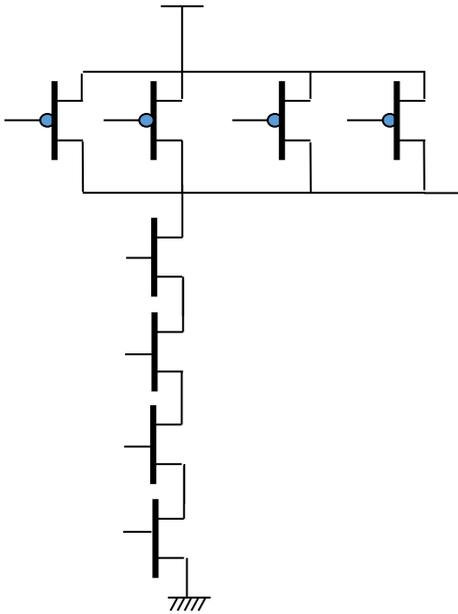
$R2$  と  $rd$  の並列接続は  $1 / (1/100 + 1/20) = 16.7K\Omega$ 。 $gm$  が  $10mS$  なので、 $10 \times 16.7 = 167$

3. 下のオペアンプを用いた回路について、 $R1=R2=R3=100K\Omega, Rf=200K\Omega$  とした時、 $V_o$  を  $V1, V2, V3$  の式で示せ。

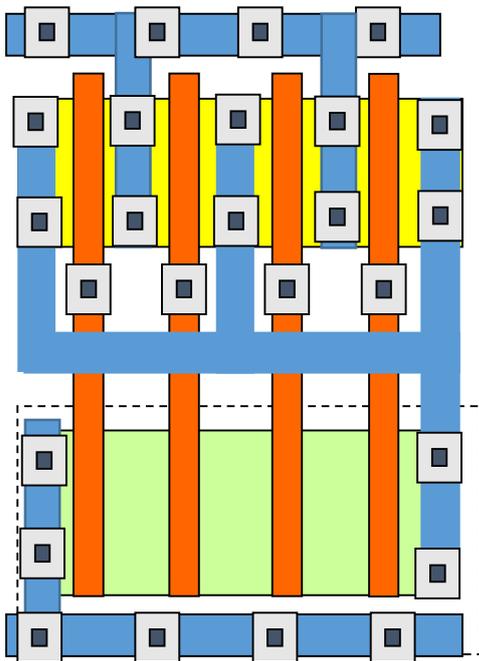


$$-200/100 \times (V1+V2+V3) = -2(V1+V2+v3) \text{ 符号は無くても OK}$$

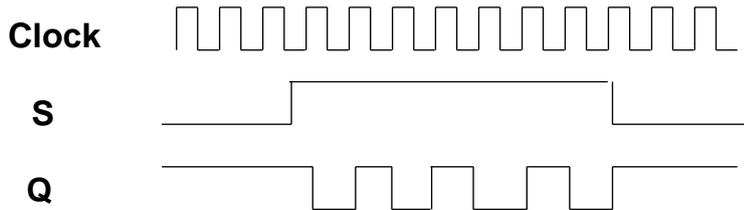
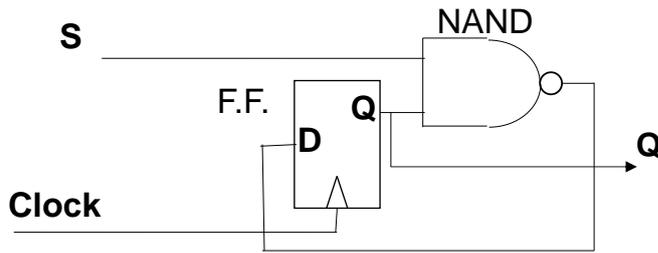
4. 論理式  $A \cdot B \cdot C \cdot D$  を実現する CMOS のトランジスタの接続図を示せ。  
 (それぞれの FET の入力は A-D のいずれかが入れば OK です。)



5. 問 4 の回路を実現する場合、下の左の図のように n 拡散層(n-diff)、p 拡散層(p-diff)、poly が配置されている時に m1(メタル 1 層)をどのように配置し、どのようにコンタクトを作れば良いか、分かりやすく示せ。分かり難い図は減点する。 (回答例)



6. 上の右の図で Q の変化を示せ。ただし、初期値は H レベルであるとせよ。

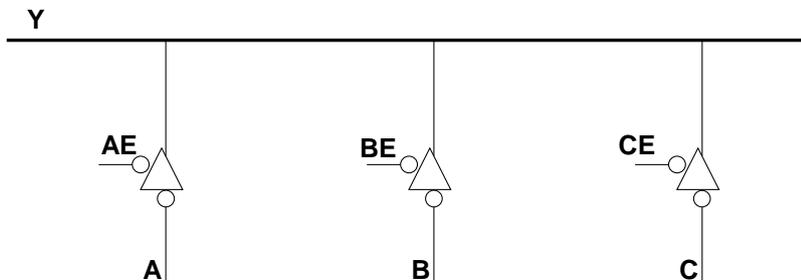


7. 回答例上の右の図で、F.F.の  $t_{pd}=5\text{nsec}$ ,  $t_{su}=2\text{nsec}$ , NAND ゲートの  $t_{pLH}=7\text{nsec}$ ,  $t_{pHL}=6\text{nsec}$  とした場合の最大動作周波数を求めよ。

$$1 / (5 + 2 + 7\text{nsec}) = 71.4\text{MHz}$$

8. 下の回路で使われている素子の真理値表を書け。また、A の入力をバス Y 上に出力させる時、AE, BE, CE をどのようなレベルにすれば良いかを示せ。

答) E が L の時  $Y=A$ 、H の時 Hi-Z AE を L、BE を H、CE を H にする。



9. アドレスが 20 本、データが 16 ビットの SRAM がある。この SRAM の容量はいくらか？

SRAM はどのような形でデータを蓄えておくかを簡単に説明せよ。

答)  $16\text{Mbit}=2\text{Mbyte}$ 、RS ラッチ (フリップフロップ) により記憶する。(6 トランジスタ方式かどうかは SRAM に拠る)

10. FPGA に対して ASIC の優れている点、劣っている点を述べなさい。

ASIC は FPGA と違ってユーザが論理機能をプログラムすることはできず、決まった論理構造を変えることができない。このため、FPGA よりも高速、低消費電力で大量生産時のコストが小さい。しかし、決まった目的以外に使えず、初期開発コストが高いため、大量の生産が見込めないと、開発コストを回収することができなくなる。