

Society5.0を支える革新的コンピューティング

「MEC用マルチノード統合システムの開発」 サイトビジット

2022年5月16日

天野G:ハードウェアプラットフォーム (慶應大)

飯田G:次世代チップ (熊大)

菅谷G:システムソフトウェア (芝浦工大)

西G:アプリケーション (慶應大)

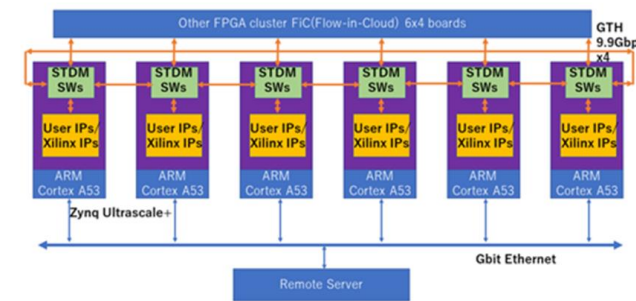
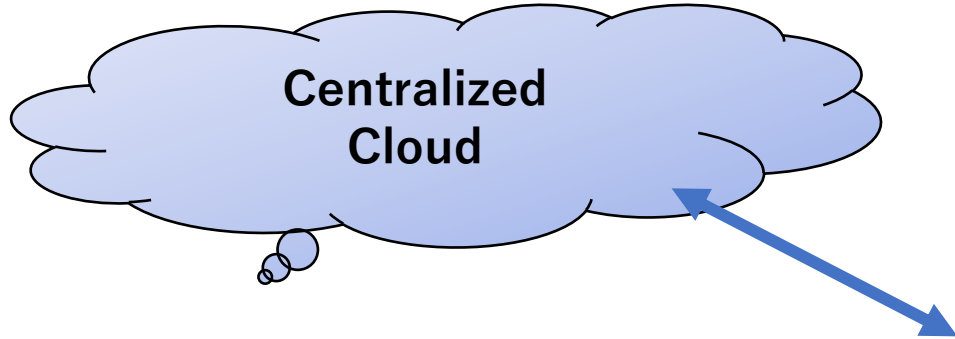
若林G:設計用CAD (東大・NEC)

プログラム

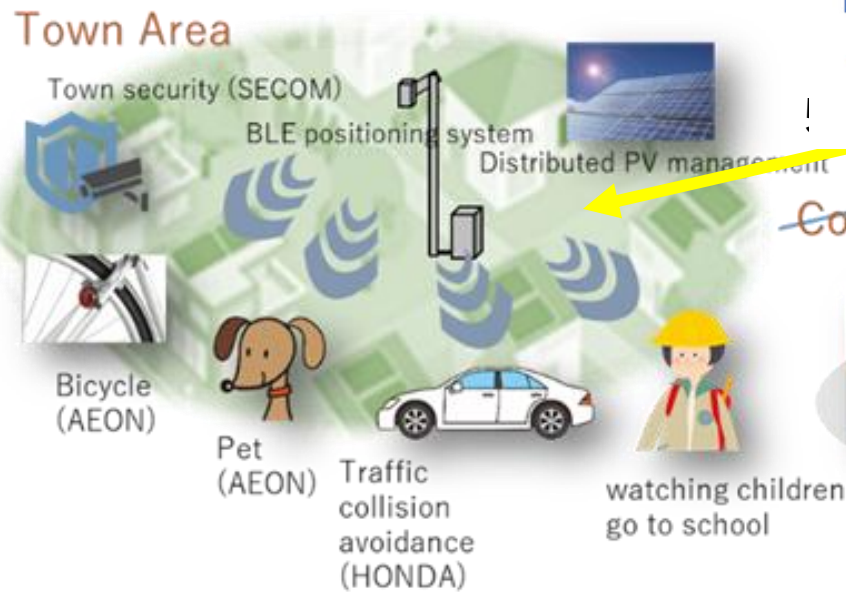
- 13：00－13：05 総括挨拶
- 13：05－13：20 ①天野まとめ
- 13：20－13：45 ②飯田G デモ
- 13：45－14：00 ③若林G 発表
- 14：00－14：25 ④菅谷G デモ
- 14：25－14：50 ⑤西G デモ
- 14：50－15：00 アドバイザー、総括 コメント
- ⑥天野G ラボツアー

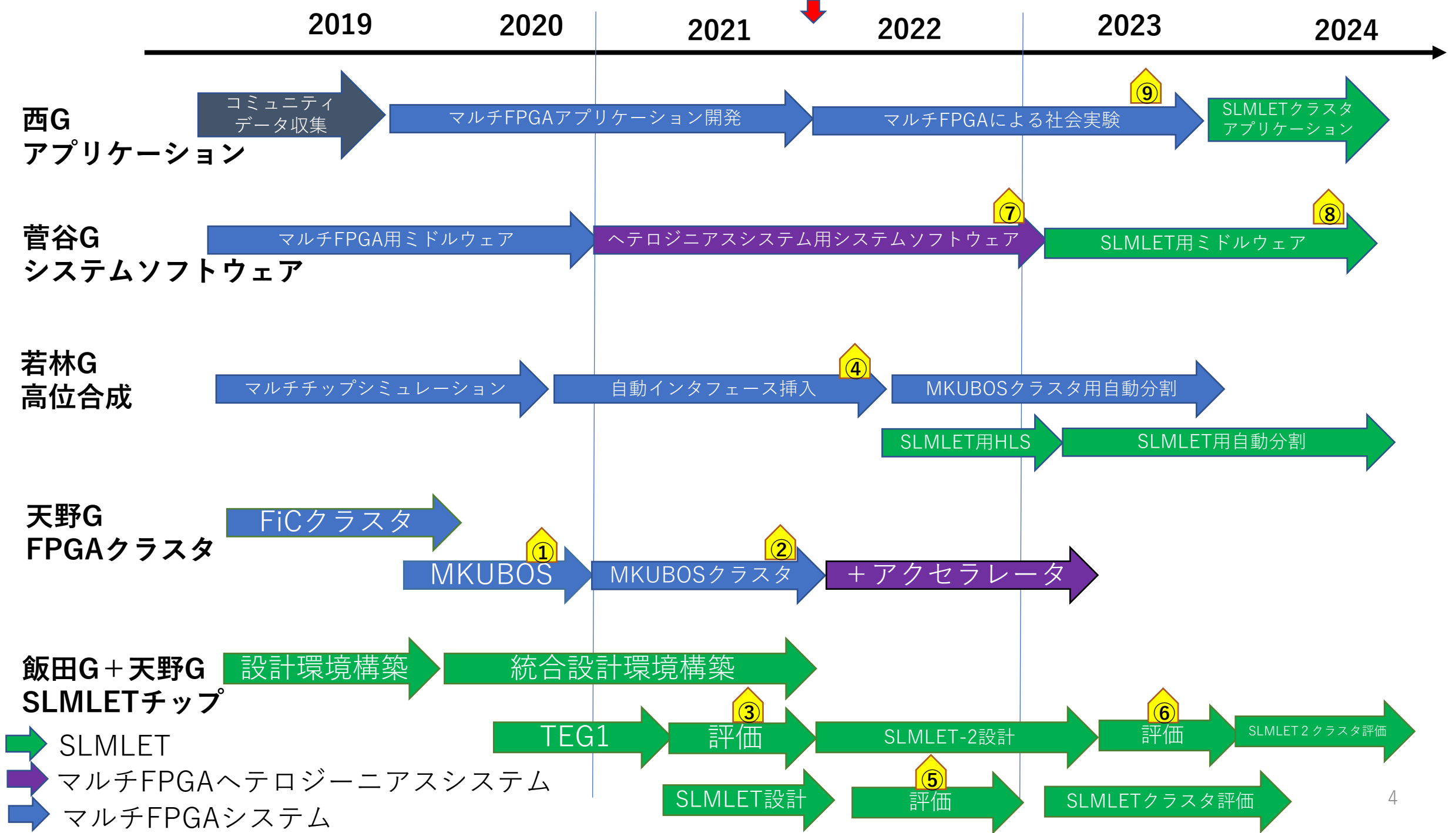
MEC(Multi-access Edge Computing)用 計算システム

5G の低遅延、高バンド幅の特徴を生かして
工場のスケジュール、ロボット、ドローンの制御、
スマートシティの交通制御など準リアルタイム的な
処理を行う



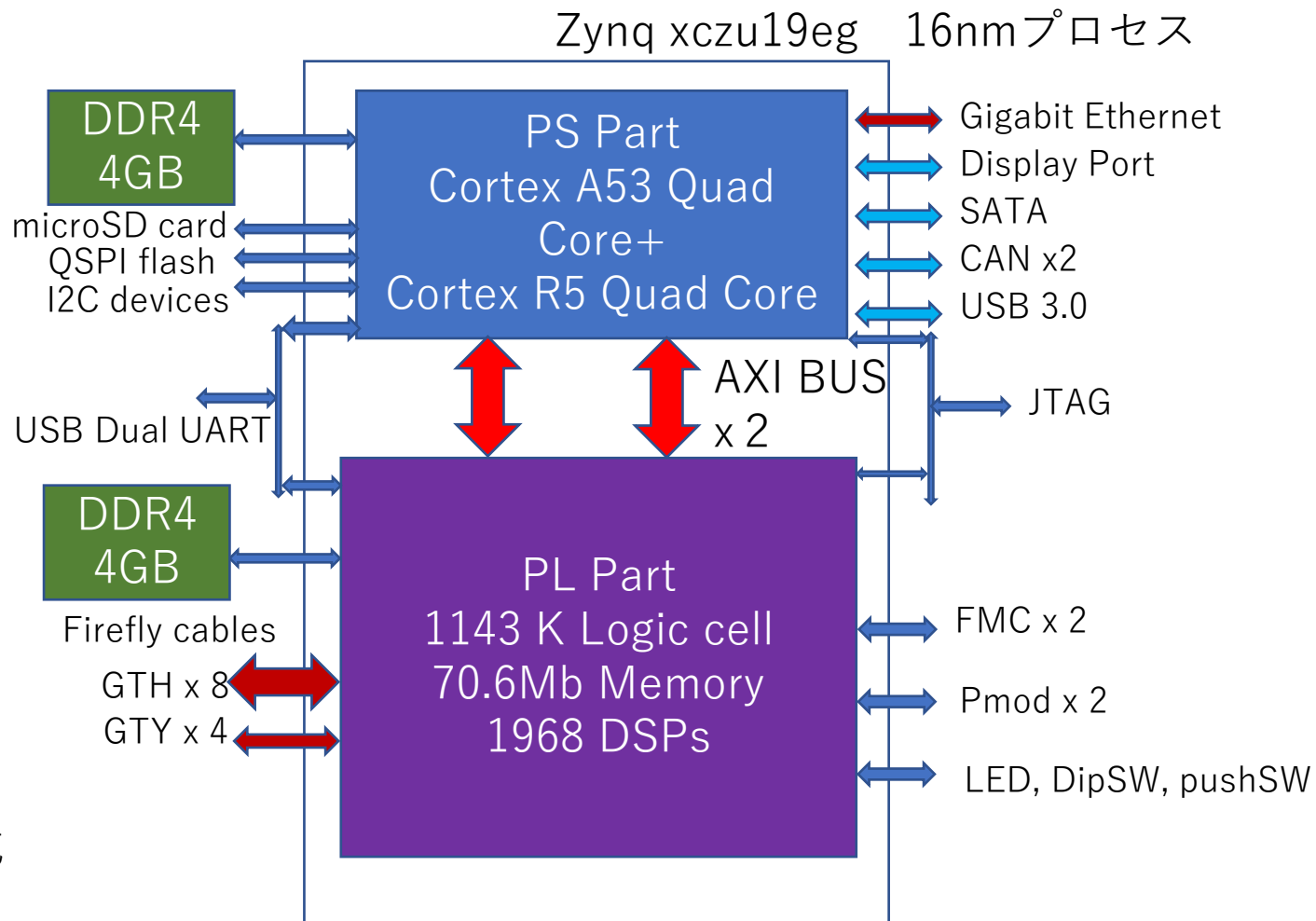
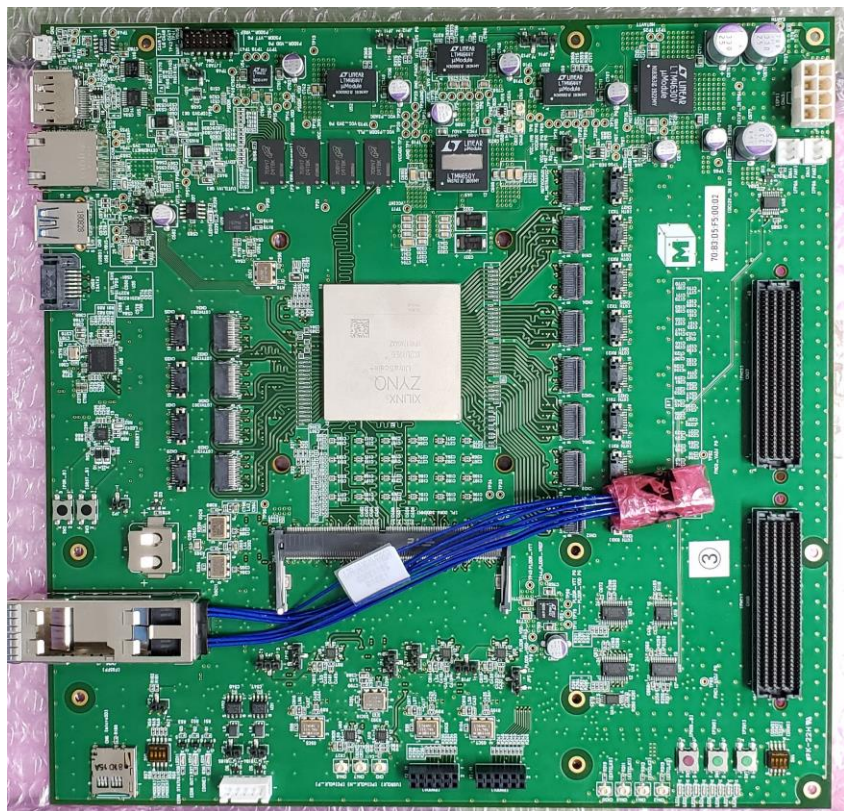
FPGA(Field Programmable Gate Array)
を用いたMEC data center





PALTEK M-KUBOS/PYNQ

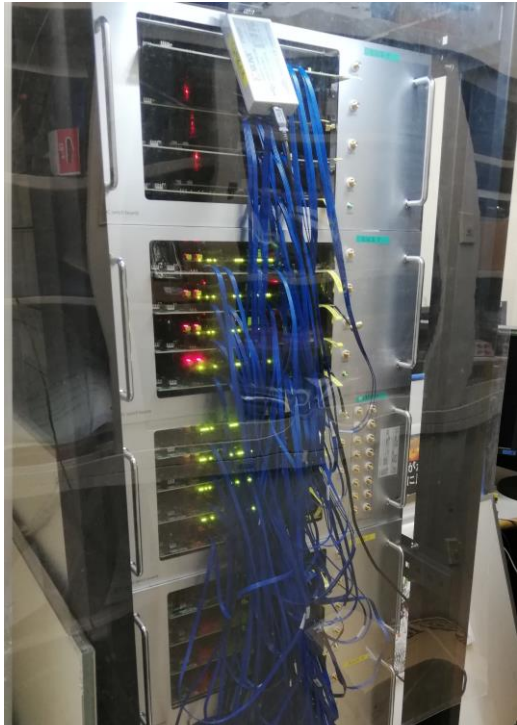
<https://www.paltek.co.jp/mcube/index.html>



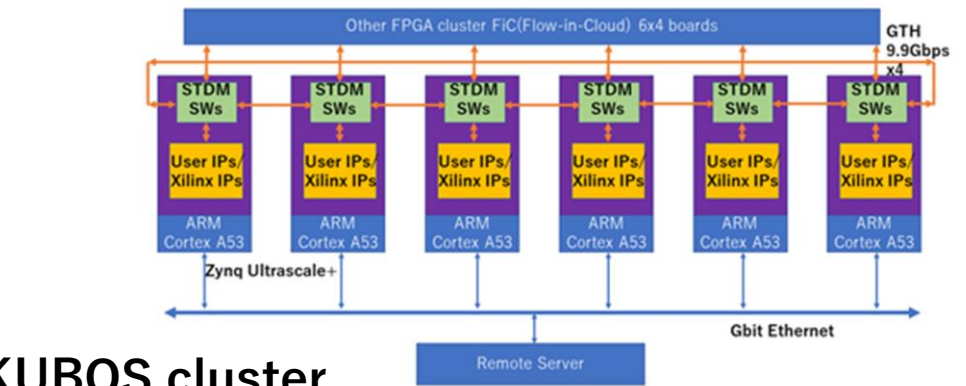
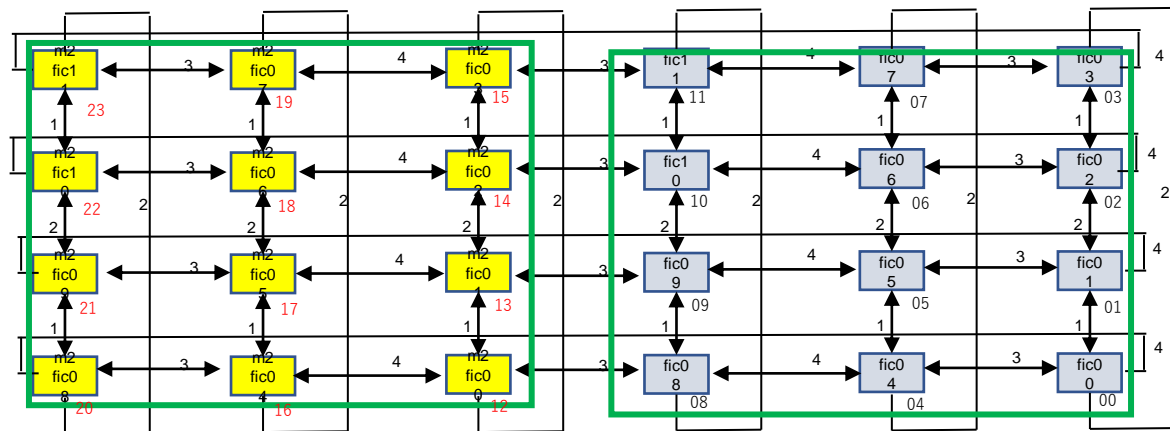
Zynq Ultrascale+ 最大サイズのFPGA搭載
高速リンクでクラスタ構成可能
ホストPC不要

MEC用FPGAクラスタ

ラボツアーで実物をご覧に入れます

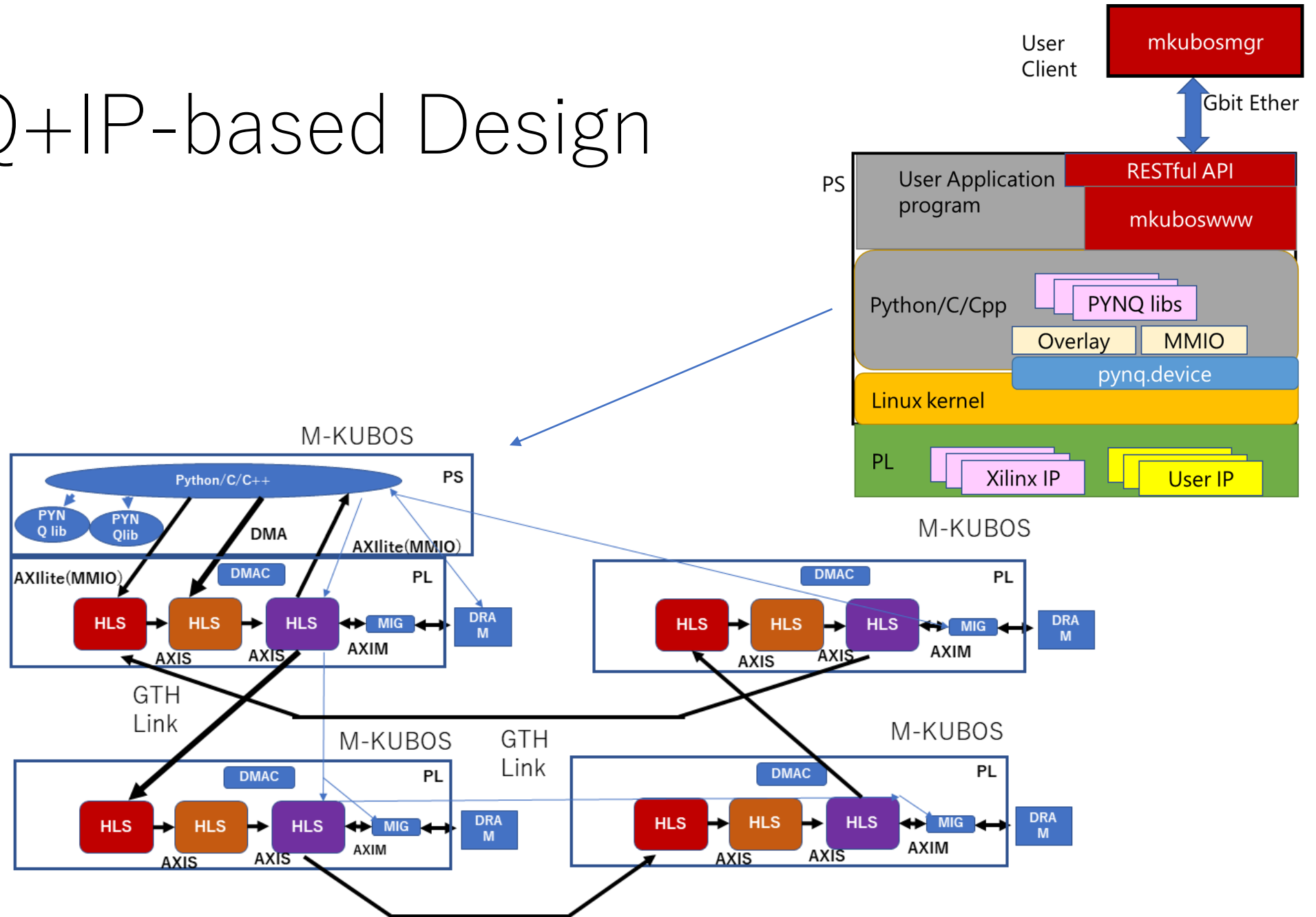


FiC cluster [ARC2017]



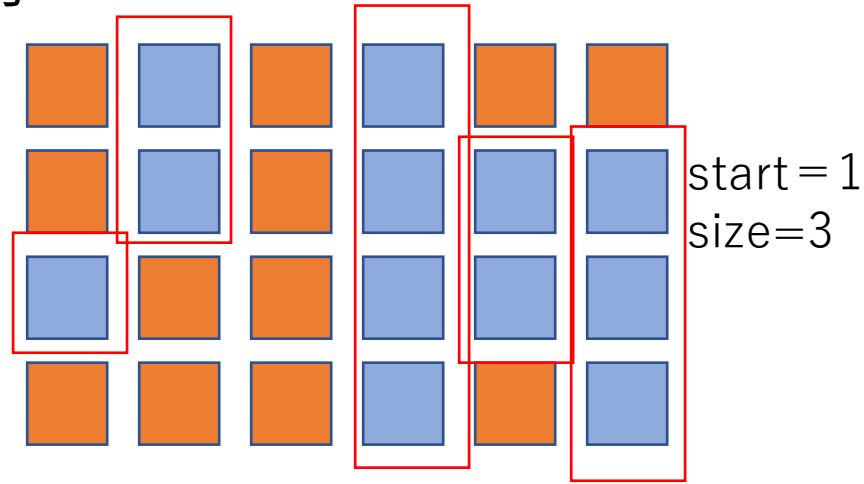
MKUBOS cluster [CANDAR2021]

PYNQ+IP-based Design



動的な領域割り当てと実行

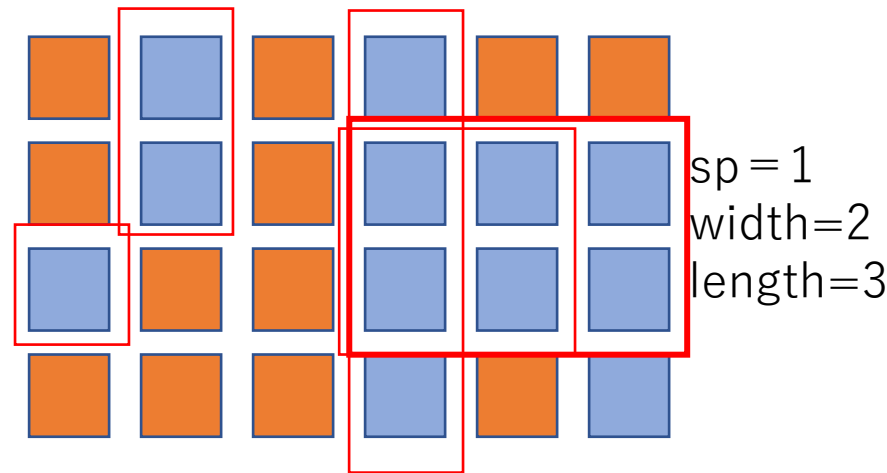
ポイント：連続領域を維持する
→STDM (Static Time Division Multiplexing) を使った通信で
バンド幅、遅延保証をするため



SLAに従って縦方向に探索
startとsizeを探索

利用アルゴリズム[1]

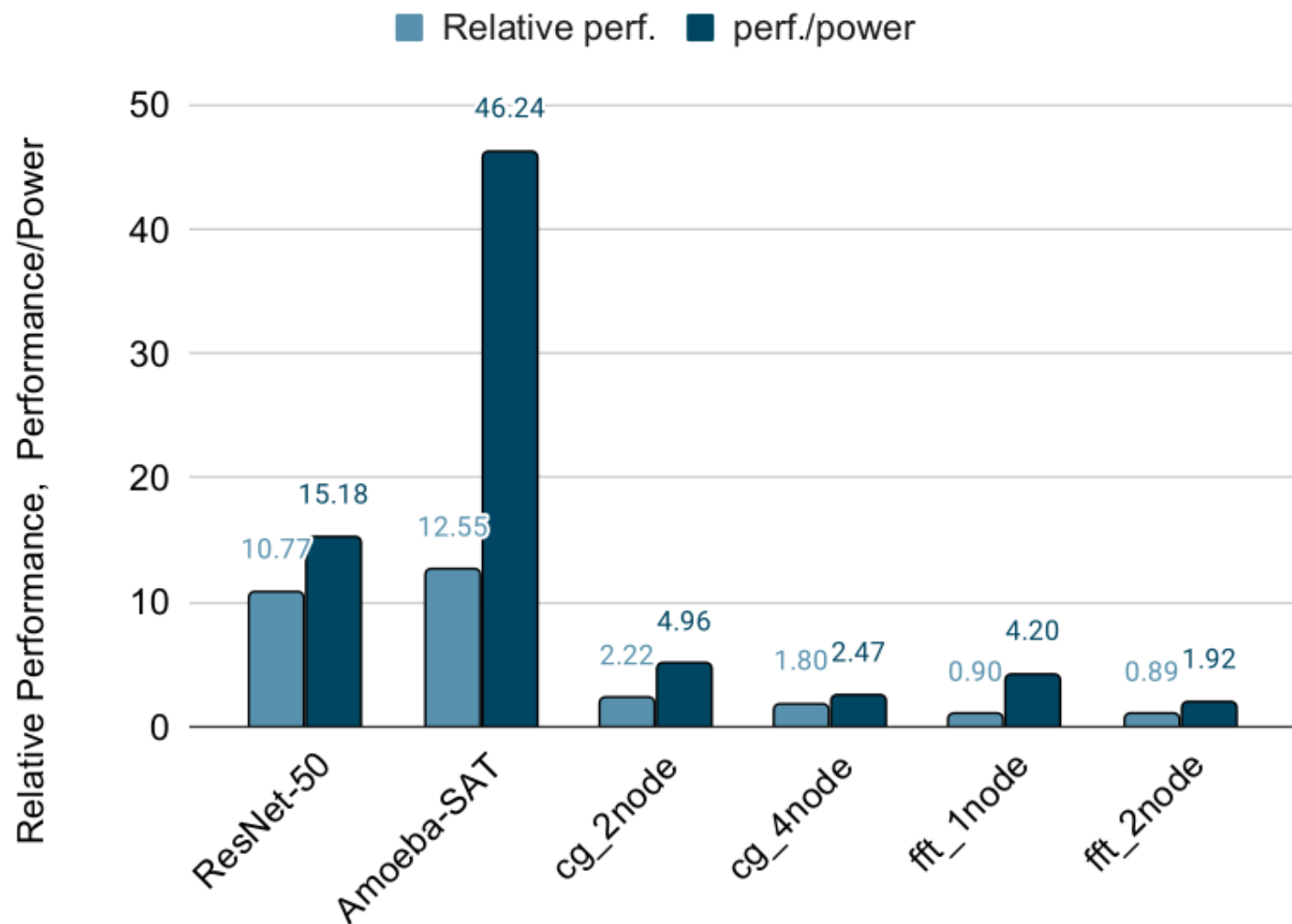
Maximum Empty Rectangle(MER)を
見つける
SLA(Scan Line Algorithm)を利用する
= 列優先



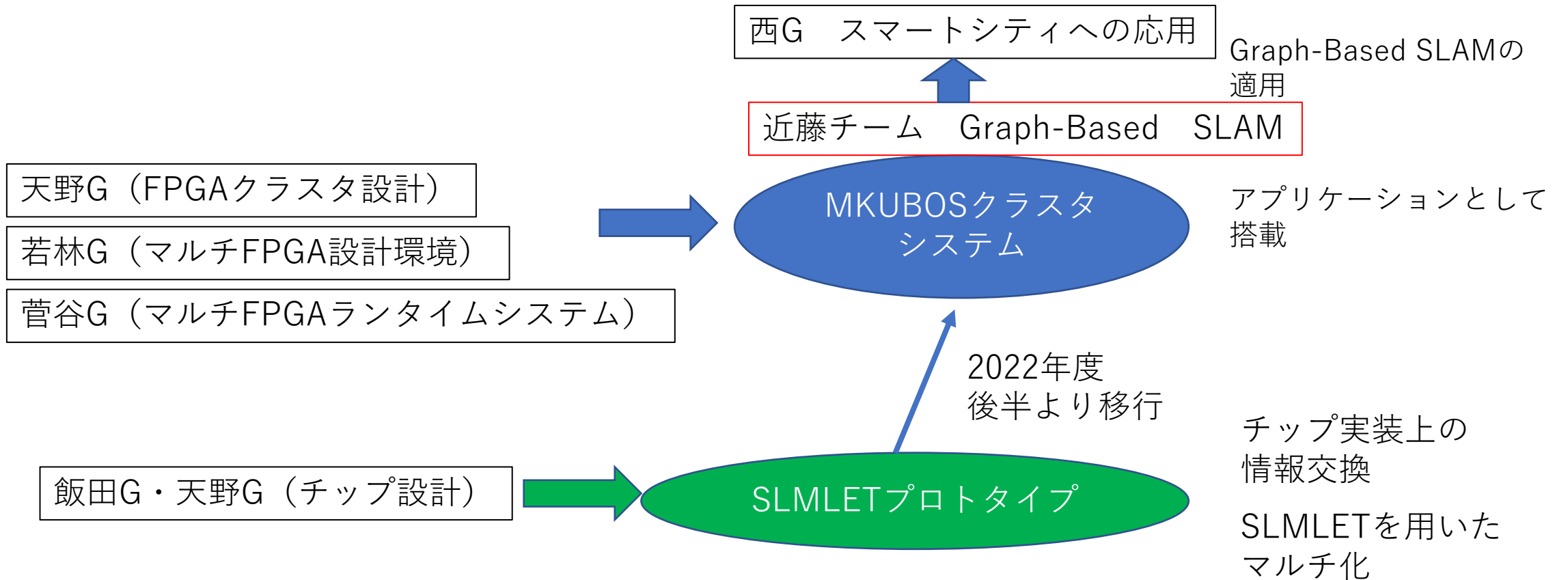
各起点から横方向に探索
MER候補を見つける

[1] Miho Yamakura, Ryousei Takano,
Akram Ben Ahmed, Midori Sugaya,
Hideharu Amano "A Multi-tenant Resource
Management System for Multi-FPGA
Systems", IEICE Trans. Information and
Systems, Vol.E104-D, No.12, pp.-, Dec. 2021

Ryzen-7との比較評価 [IEICE2022]



各Gはテストベッドを中心に連携



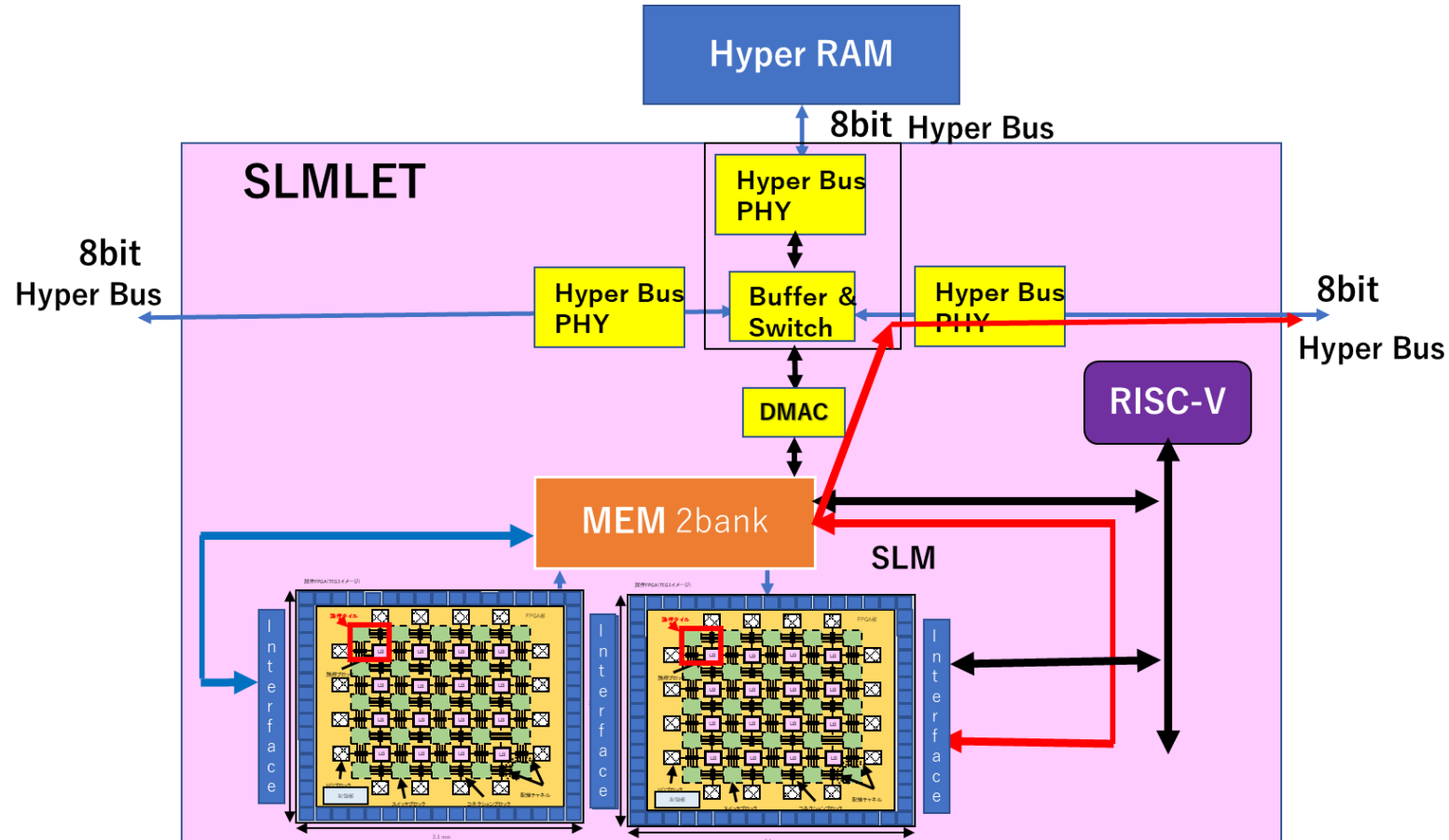
FPGA クラスタの基本的枠組みの構築は終了

- M-KUBOSの商品化
 - PYNQの移植
- M-KUBOSクラスタの構築
 - リモート管理システムmkuboswww, mkubosmgr
 - IPベース設計の整備
 - Resource Managerの構築
 - 電力測定システムの構築→プログラム⑥
 - 基本的な開発環境は出来上がった
 - 菅谷Gがより優れた管理システムを構築→プログラム④
 - 若林Gがより優れた設計システムを構築→プログラム③
 - 西Gがより実地的なアプリケーション構築→プログラム⑤
 - ヘテロジニアス環境への展開を除き天野Gの前半のミッションは終了

後半のテストベッド：SLMLET

SLM(Scalable Logic Module):
eFPGA + HyperBus links + RISC-V

- IoT・MEC (Multi-access Edge Computing)用再構成可能チップ
- HyperBus linksでスケラブルに拡張
- Low cost/Low power.
- ストリーム処理用: 暗号化、匿名化 MQTT off-loading...
- メモリ上に複数の構成情報を溜めておける→高速ハードウェアコンテキスト切り替え
- ハードウェアコンテキストマイグレーション可能
- すべての構成要素はオープンソース
- 2020年SLM部は単独テープアウトして動作中 (TEG1) → 本日 ②



マルチFPGAシステムを簡単、廉価、低電力で実現する→小さな者ほどマルチ化を

Tape Out終了 現在制作中

- USJC 55nmプロセスを利用
- 4.2mm角
- RISC-VはRV-32Iと32Mのみ2段パイプラインのRISC-Vmini
 - Chiselで書いてある
- 256KB共用メモリ (128KB × 2バンク)
- 64KB命令メモリ + 64KBローカルデータメモリ
- SPI × 1をブート用、低速I/O用に装備

- 本日はTEG 1の実チップをデモ

2021年度の業績

R3の業績数が急上昇

- R3の基準での論文 31件（累計62件）
- 発表：45件（累計108件）
- 受賞：8件
- FITスペシャルセッション
- 電子情報通信学会総合大会シンポジウム企画：
 - 組み込み用FPGA最前線
- HARK講習会
- 展示：
 - 10月 CEATECH、ミニテクノモール
 - 12月 慶應テクノモール
 - 3月 JST微小エネルギーVRシンポジウム