

PYNNQ クラスターの評価

2021年7月20日 SWoPP21

天野英晴、稲毛琢己、伊藤光平、福嶋泰優、飯塚健介、弘中和衛
慶應義塾大学理工学部

MEC(Multi-access Edge Computing)とは？

5G : low latency (< 0.5msec) and high bandwidth
→New applications treating timing-critical multiple jobs.
Low energy and low cost

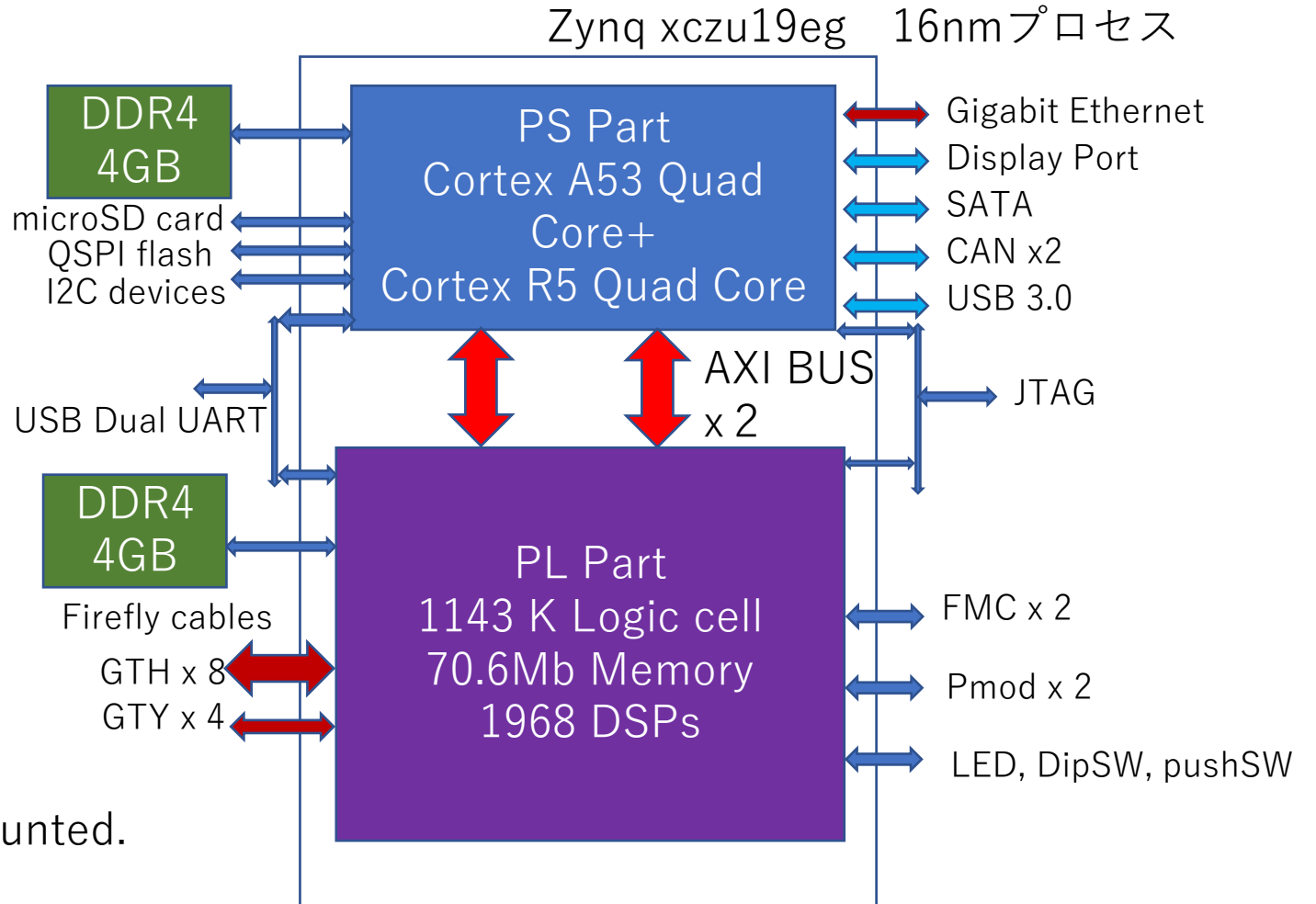
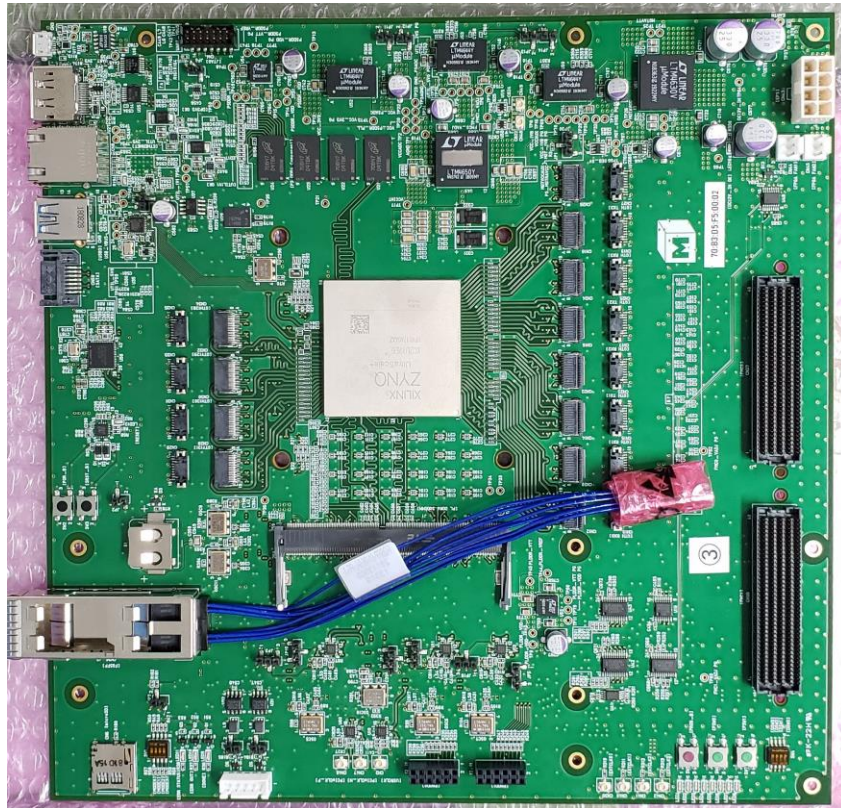


ZynqのスタンドアロンクラスタがMECに向く理由

- ハードウェアで準タイミングクリティカルな処理ができる
- スケラビリティが高い
- 低エネルギー消費
- 省コスト、省サイズ
- ×プログラムは難しいが作りこむことは可能
- △セキュリティについては要検討だが普通のサーバーより良くできるかも

PALTEK M-KUBOS/PYNQ

<https://www.paltek.co.jp/mcube/index.html>



The highest rank Zynq Ultrascale+ is mounted.
Various interface.
Powerful serial cables.

Zynq Ultrascale+ xczu19eg

DRAM (0.5GB)

Ethernet

PS

Cortex A53
Quad core

PL

AXI Lite (mmio)

AXI Stream(DMA)

User defined HLS module
(100MHz)

MIG

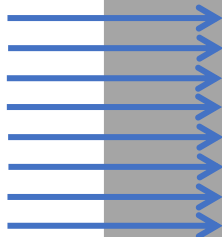
DRAM (4GB)

AXI
stream

Static Block

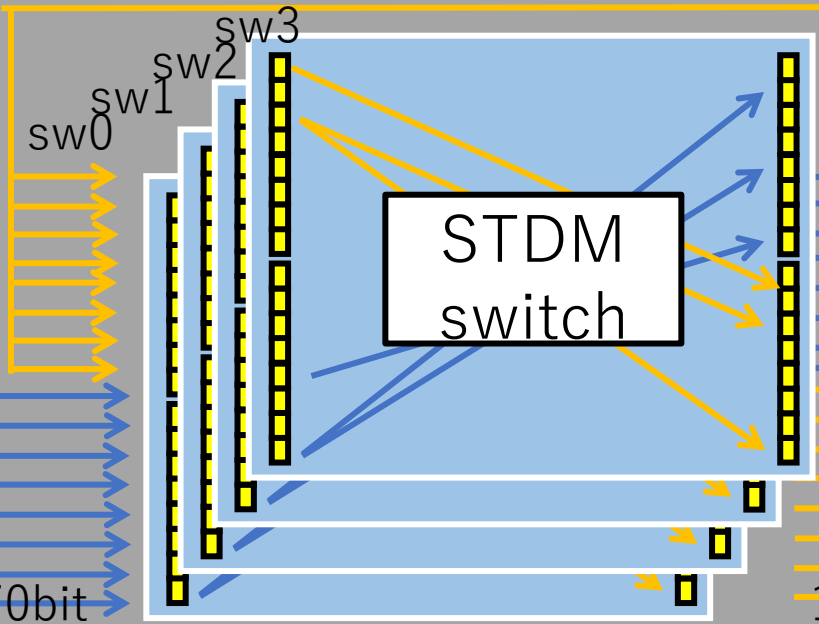
100MHz

9.9
Gbps
x32



Xilinx
Aurora

170bit



STDM
switch

170bit



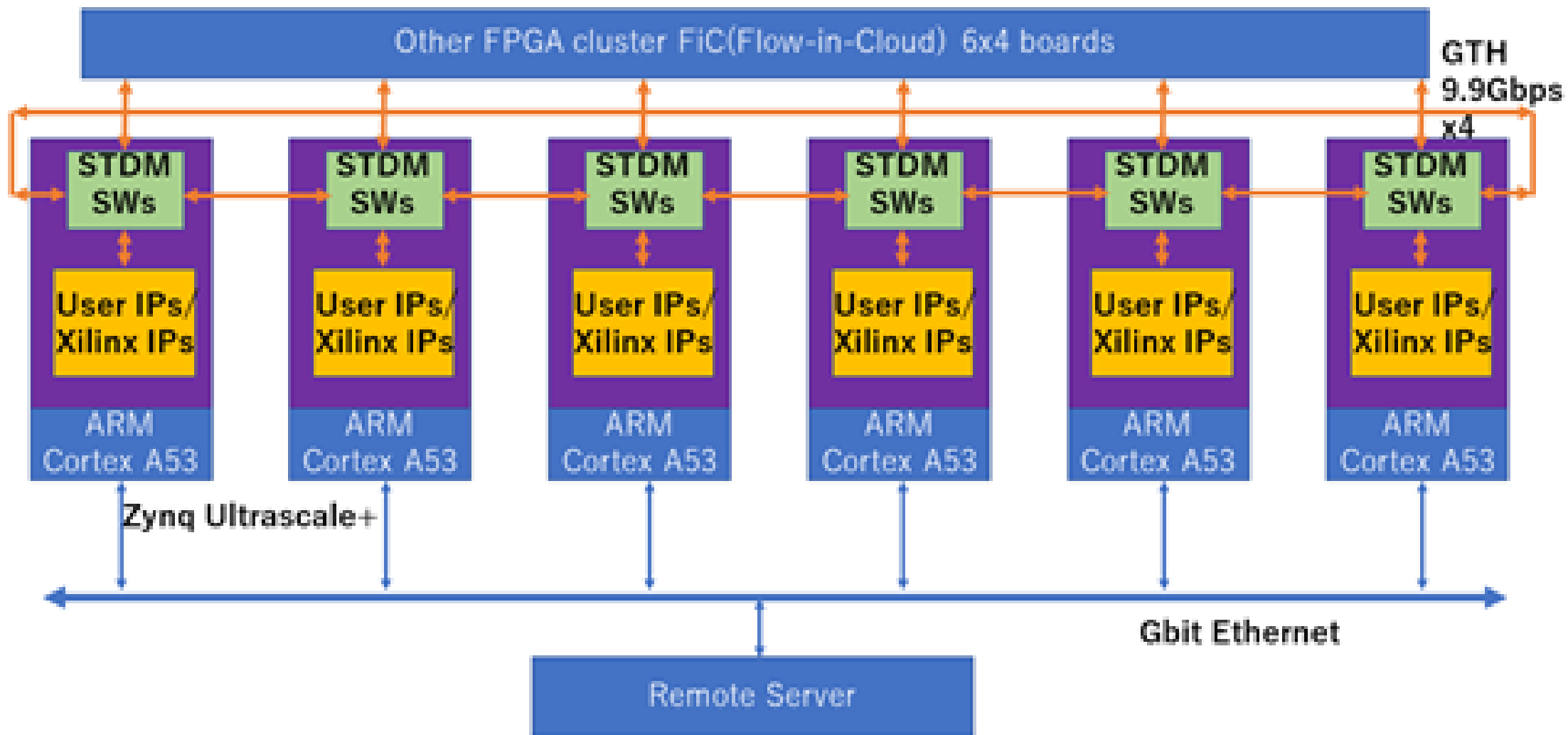
Xilinx
Aurora

9.9Gbpsx32

8.5Gbpsx32 (4 chan. x 8 lane)

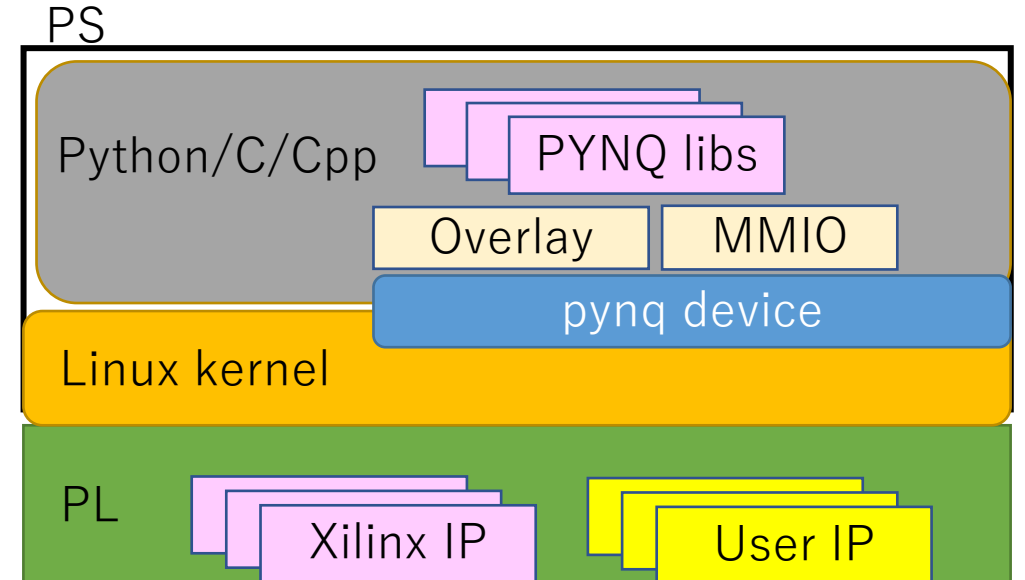
8.5Gbpsx32 (4 chan. x 8 lane)

PYNQクラスタの構成



PYNQの導入

- 従来のZynqボード
 - 組み込みシステムでの利用を想定
 - 多くのタスクをマルチテナントで使うMECには不向き
- PYNQ
 - 組み込み用PYNQ-Z1向けに開発
 - オープンソース
 - Ubuntu Linux上に構築
 - PL制御はOverlayとして統合
 - Alveoでも利用可能



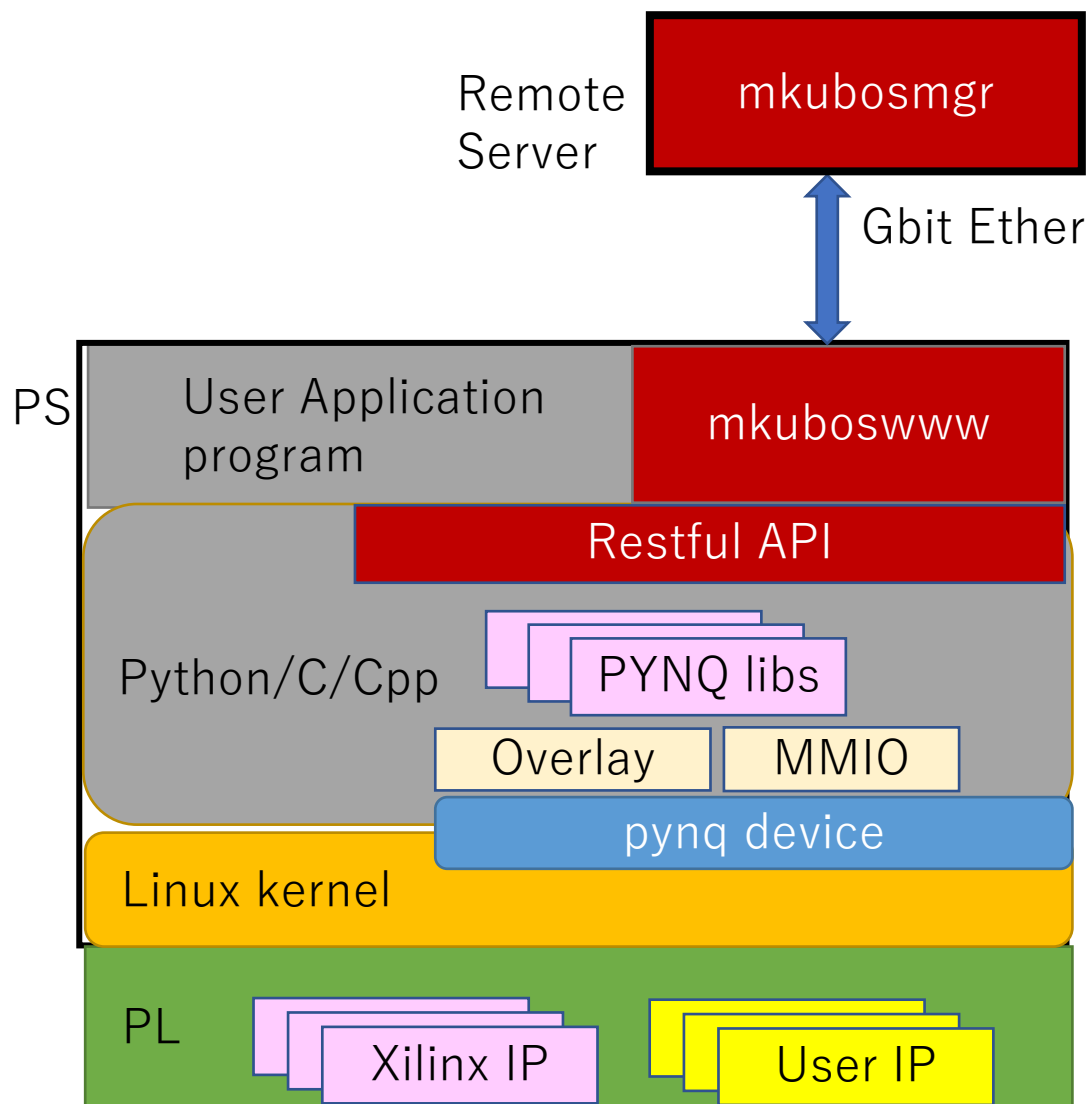
参考

Xilinx, "Alveo Getting Started Guide,"

https://pynq.readthedocs.io/en/v2.5.1/getting_started/alveo_getting_started.html

(accessed 2021/1/23).

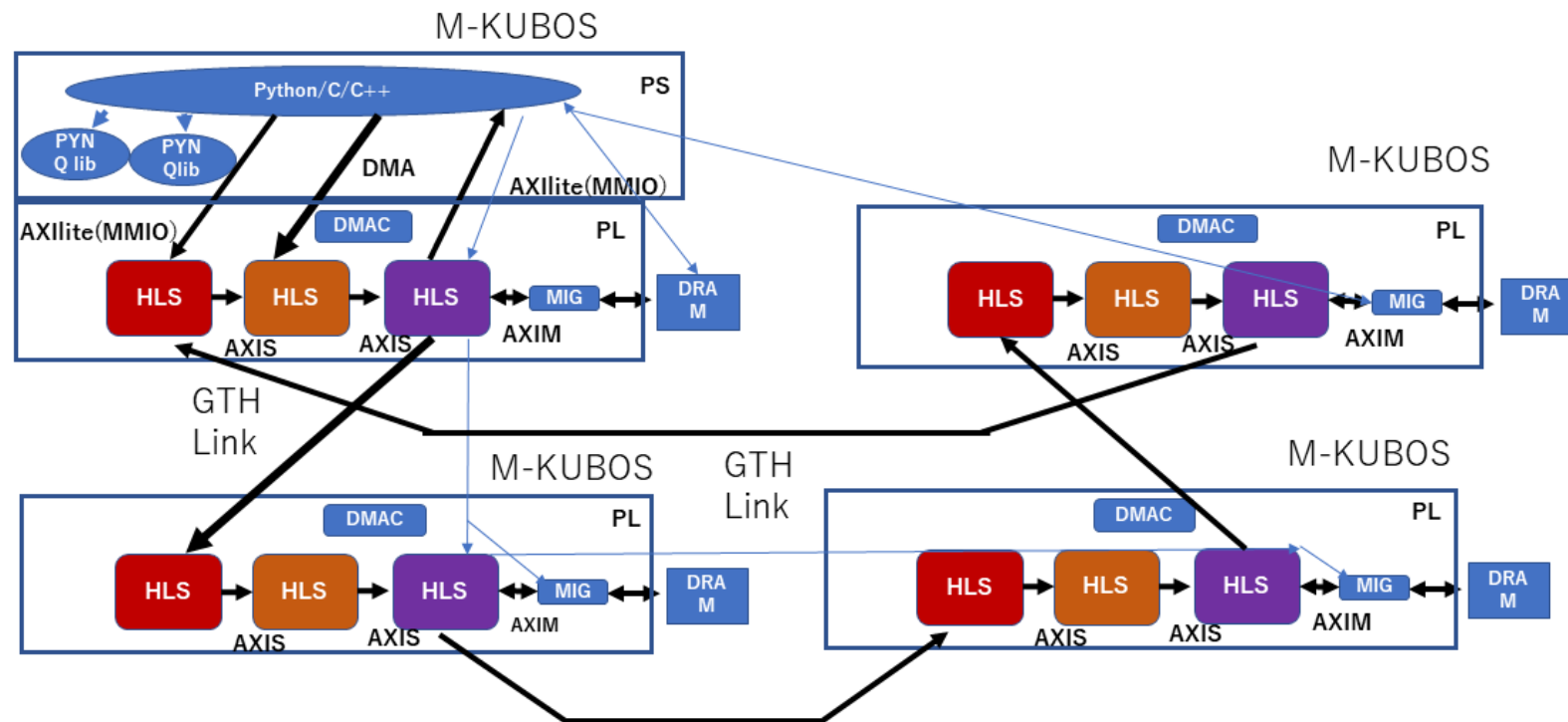
クラスター用拡張



- 他のボードのDRAMにはデータ読み書き可能
- ボード位置に依存しないジョブ割り当て可能
- STDMのテーブルは割付時自動生成

プログラミングはどうするか？

- PYNQは、PS部のソフトウェア、PL部のハードウェアモジュールのIP同士を接続してアプリケーションを作っていく
 - PS部のCPUを一つのIP (ZYNQ)として扱う
- ボード間接続用のIPをXilinx提供のIPと共に利用する



現在のPYNQクラスタの様子

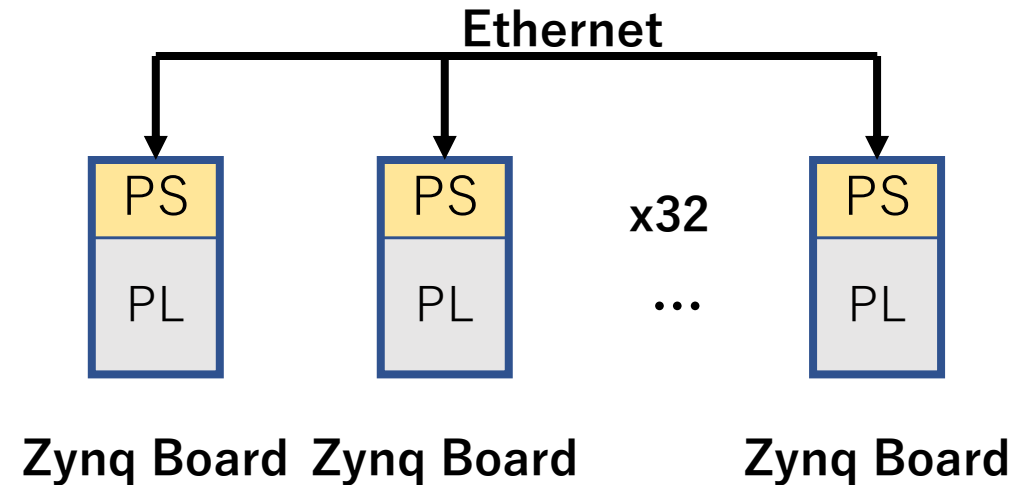


Webで全てのボードを管理可能
電源ON/OFFも可能

Zynq クラスタ : 関連研究 - Zedwulf

- Zynq ボードを搭載したスタンドアロン型のFPGA クラスタ
- PL間に直接ネットワークがなく、ボード間の通信はPSに接続されたEthernetを介して行う

→ この通信がボトルネック

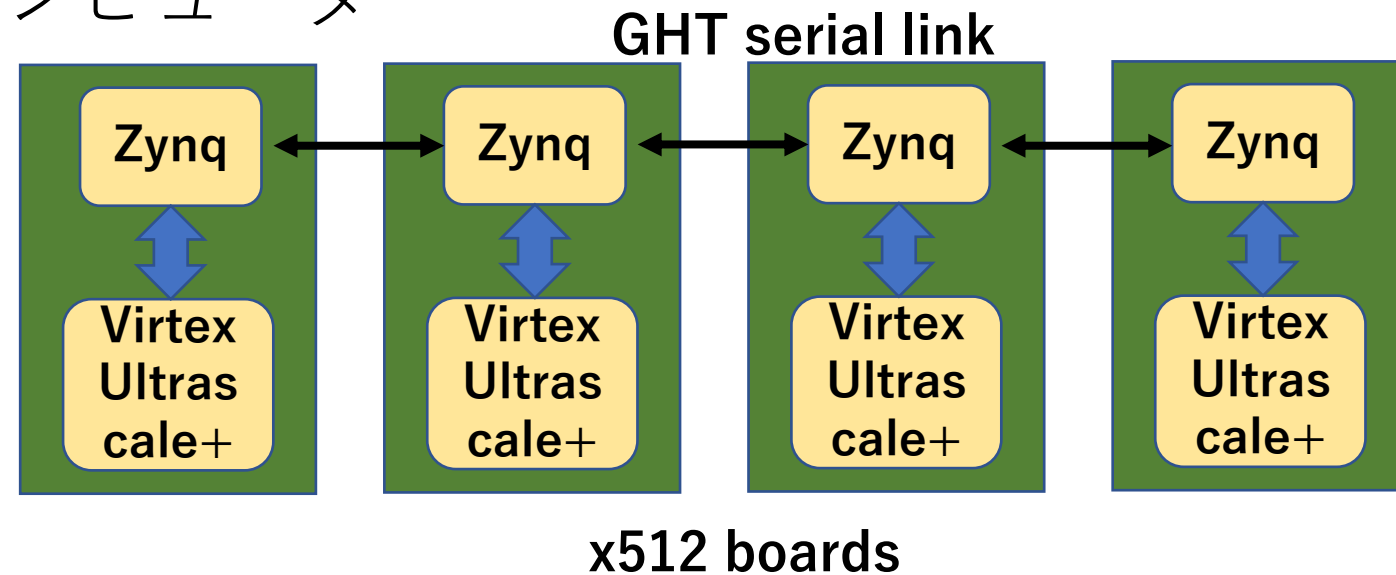


参考

P. Moorthy, and N. Kapre, "Zedwulf: Power-Performance Tradeoffs of a 32-Node Zynq SoC Cluster," 2015 IEEE 23rd Annual International Symposium on Field-Programmable Custom Computing Machines, pp.68-75, 2015.

Zynq クラスタ : 関連研究 - EuroEXA

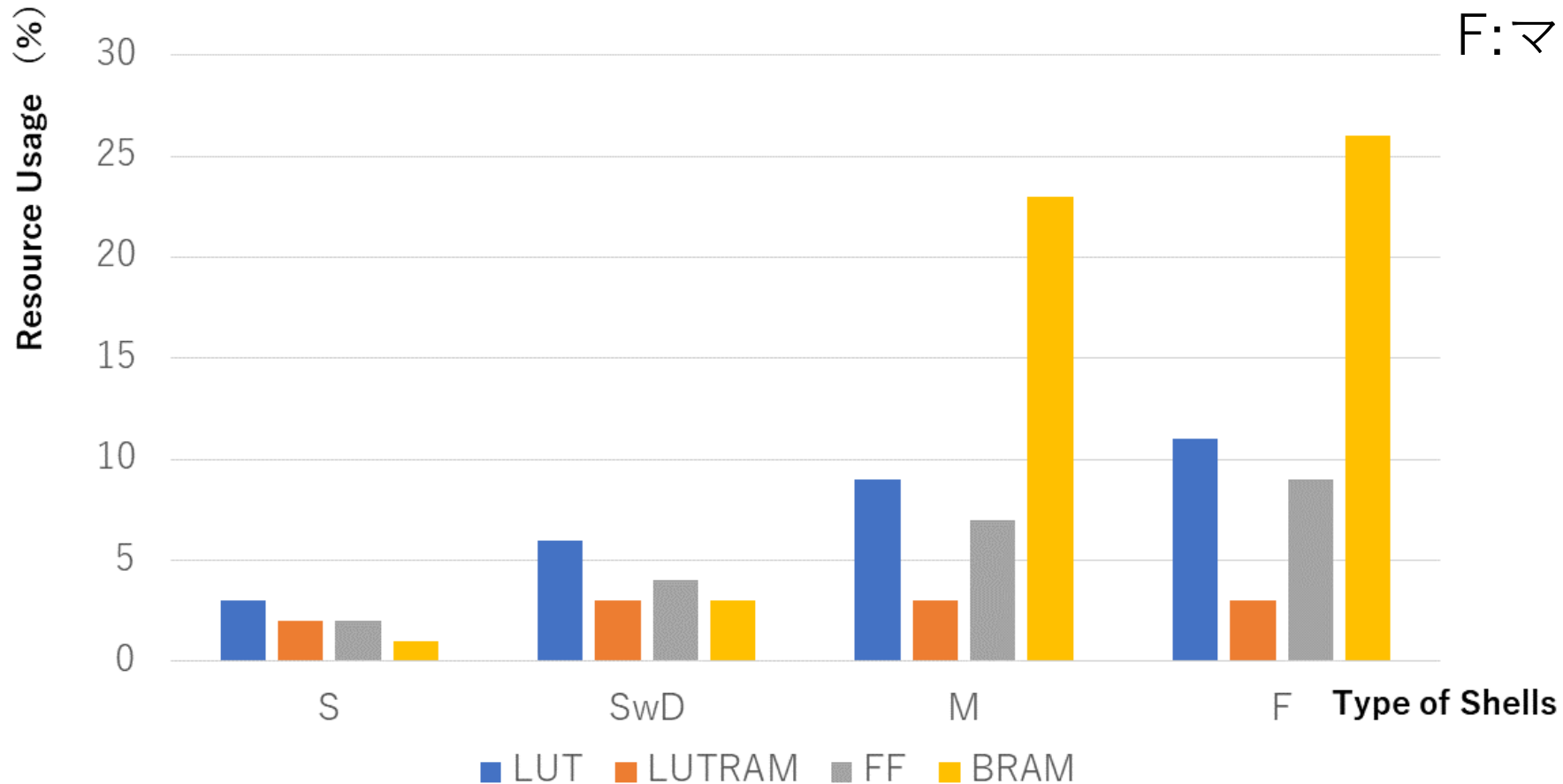
- Zynq xczu19eg と Virtex Ultrascale+ FPGA によりノードを構成
- GTHケーブルで512ノードを接続
- 水冷システムを用いテナ内に構築される
- マルチFPGAによるスーパーコンピュータ



<http://www.euroexa.eu>

Shellのリソース利用量

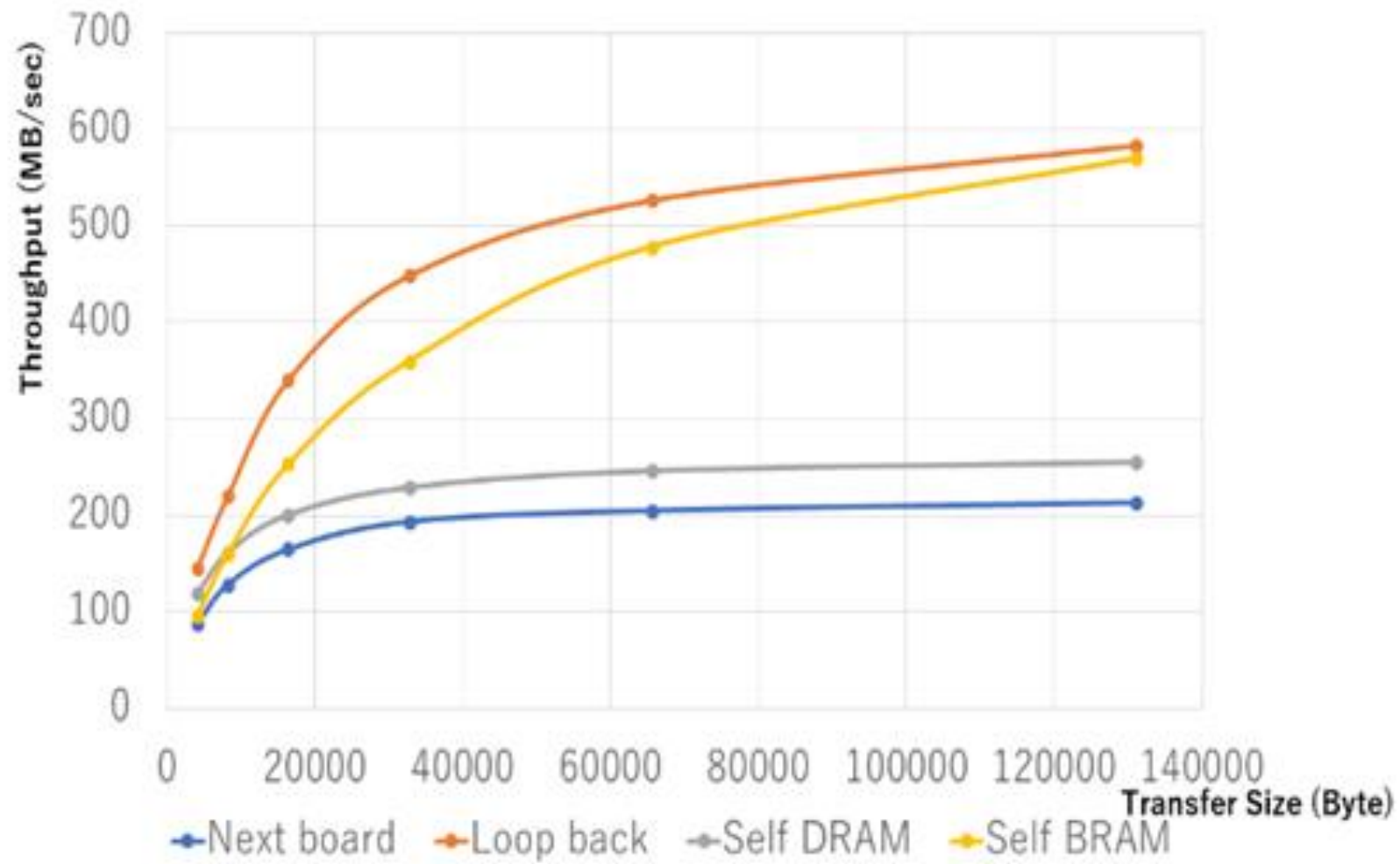
S: 単一ボード用
SwD: 単一ボードDRAM付
M: マルチボード用
F: マルチボードDRAM付



転送スループット

- STDMSイッチはFiCとコンパチブル
 - 最大転送スループット リンク当たり85Gbps=1.086GB/sec
 - スロット数分の一になる。しかしリンクは8本ある。
 - 最大転送遅延
 - $2S(L-1)+(60+2S)H$
 - S: スロット数
 - L: フリット数
 - H: ホップ数
- STDMS方式なので混雑には影響されない

転送スループット



性能とエネルギー効率の評価

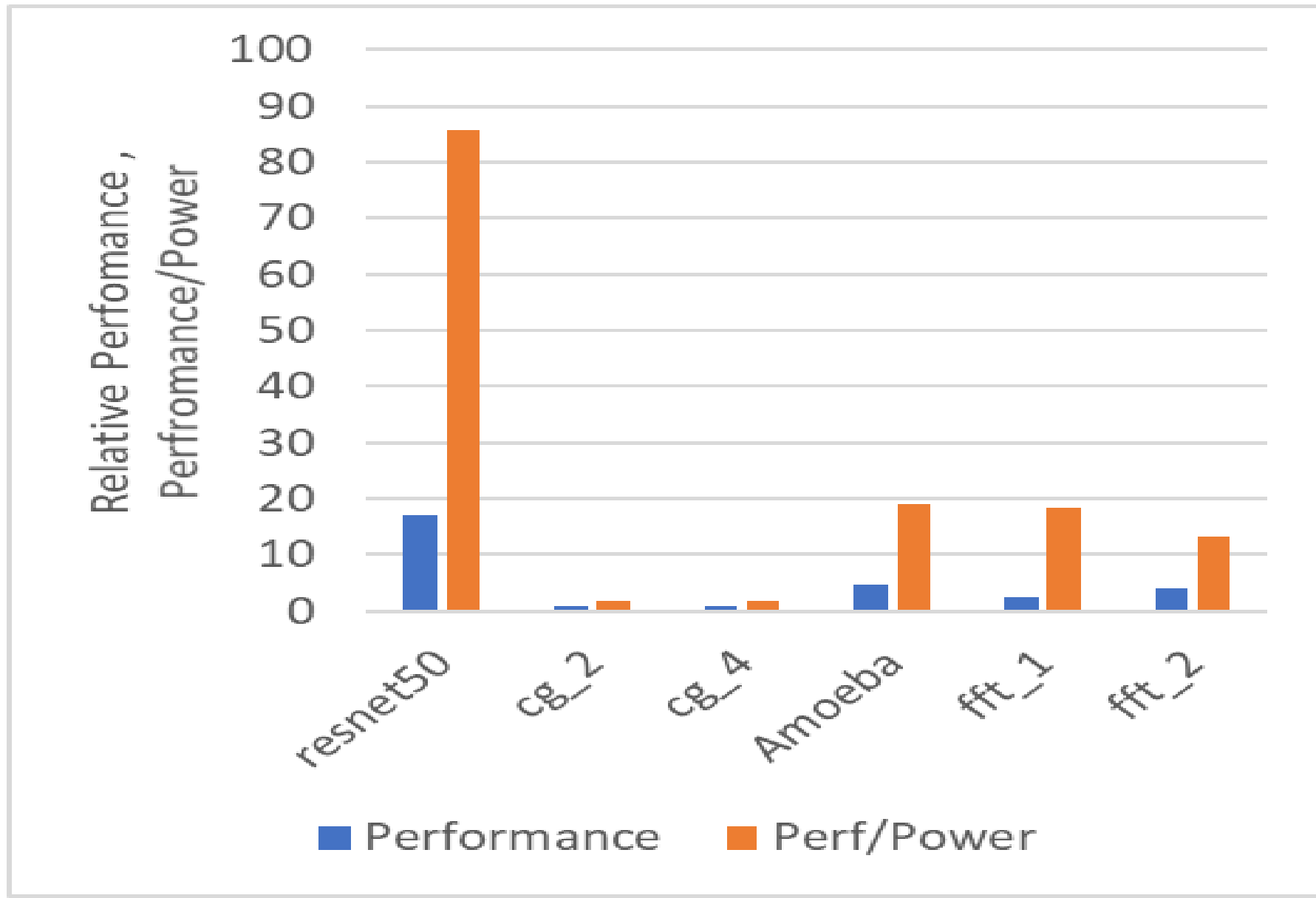
利用アプリケーション

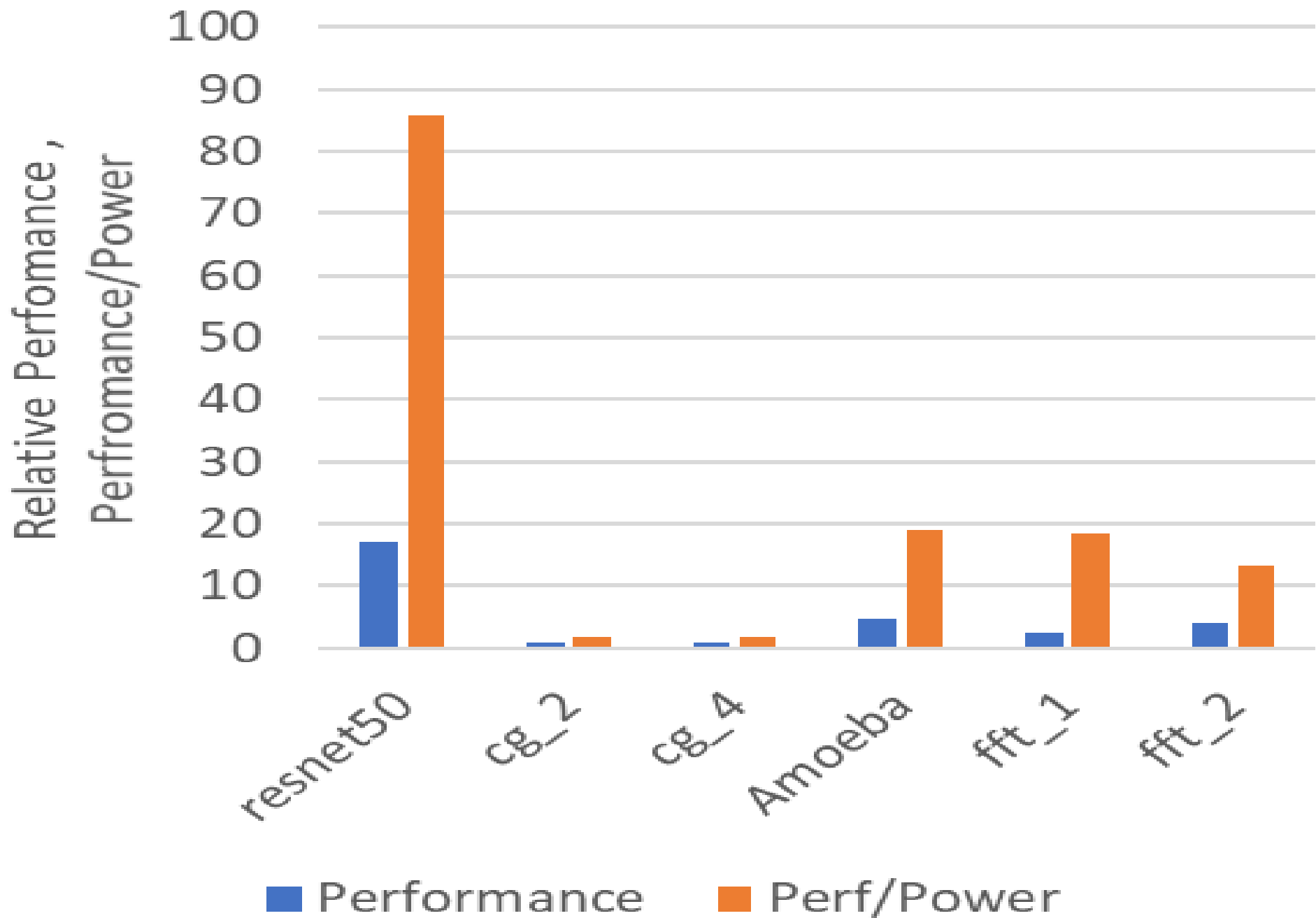
アプリケーション	パラメータ	ボード数	テンプレート
resnet50 画像認識用CNN	50 layer	4	F
Amoeba SAT (制約充足可能問題) ソルバー	10000変数43000項数	1	S
cg 連立一次方程式CG法	384 × 384蜜行列	1-4	M
fft 信号処理FFT	8192点	1-2	M

比較対象

型番	Ryzen 7 5800X
プロセス	7nm
Core数	8 (OpenMP利用)
クロック	2575.634MH z
メモリ	6 4 GB

性能とエネルギーの評価





おわりに

- FINNが単一ボードで動作
 - VTAも（ほぼ）動作（苦戦中）
- これらのAI用設計環境をクラスター用へ拡張
- Jupyter Notebookも利用可能
 - デモ製作中
 - 他に使い手がいない
 - ユーザは付きつつあるのだが、マルチボードで有効に使う人が居ない