



MEC用デバイスの再構成ロジック部

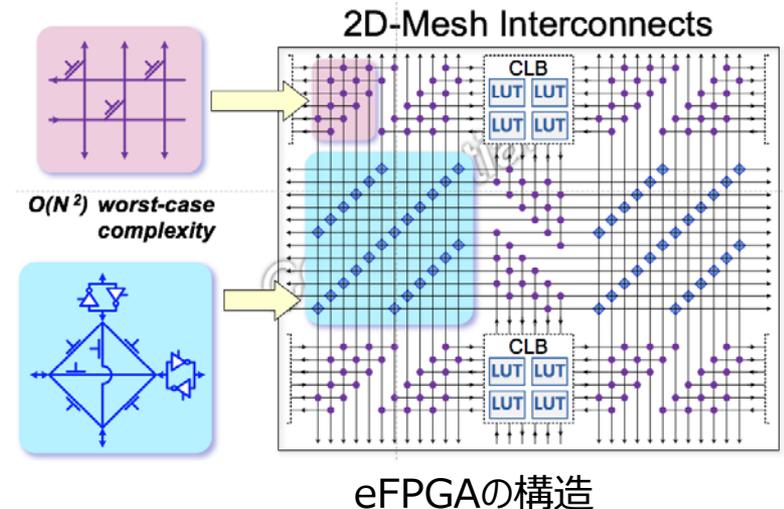
# SLM (Scalable Logic Module) とは

2021.10.19

熊本大学

# 再構成ロジックIP

- 従来技術: eFPGA (flexlogic社)
  - LUT (Look-Up Table) ベースFPGA
  - 合成可能なソフトコア
  - 構成メモリはFlip Flop (FF) を使用



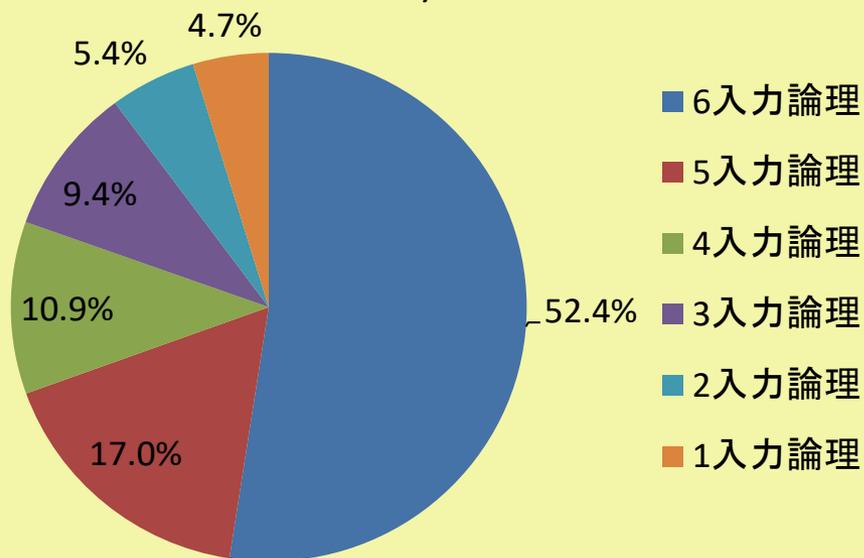
- 問題点
  - $k$ 入力LUTの構成メモリのオーダーは $O(2^k)$
  - 構成メモリはSCAN型FFを使用するため、面積オーバーヘッドが大きい
  - CADセットは提供されるが、改変不可

高集積再構成ロジックIPを実現するにはLUTベースFPGAより構成メモリを抑えることが重要

# LUTの問題点

- 商用FPGAの論理セルは6入力LUTが主流
  - 面積大(2:1MUXが63個), 構成メモリ数多(64bit)
  - 全ての論理を6入力で包含できるわけではない

6入力テクノロジーマッピングの平均内訳  
(MCNC20種, VPR13種)



6入力以外の論理実装時には多くの構成メモリが無駄に



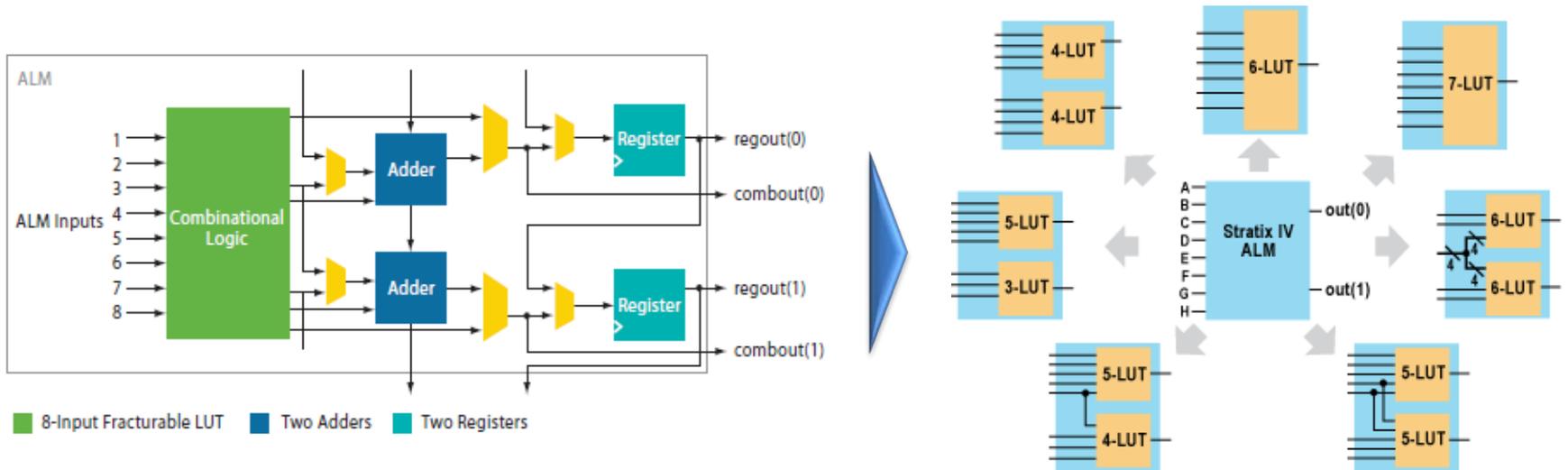
アダプティブ化した  
Intel ALMなど



構造が複雑になる

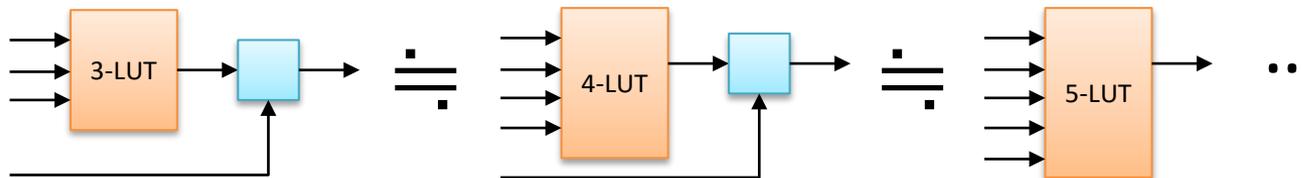
# Intel ALM vs SLM

- ALMは大きなLUTを分割して利用可能にするアーキテクチャ



複雑で大きいセル ⇒ 再構成ロジックIP向きではない

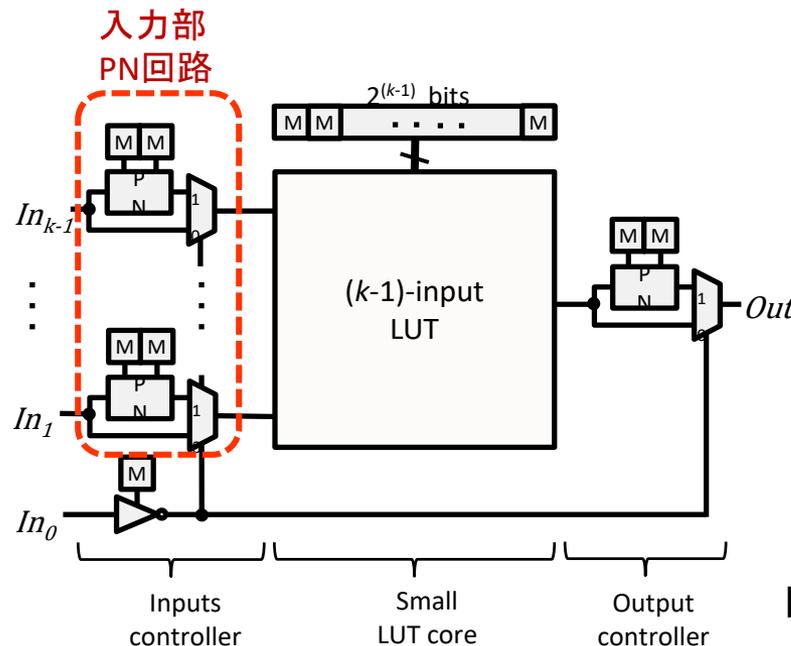
- SLMは小さなLUTを大きく見せるアーキテクチャ



単純で小さいセル ⇒ 再構成ロジックIP向き！

# 少構成メモリ論理セルSLM

- SLM(Scalable Logic Module)
  - 熊本大学で研究開発(FPL2014)
  - シヤノン展開による部分関数分解時の性質を利用して構成メモリを抑える(NPN表現)
  - k入力SLMの構成メモリのオーダーは $O(2^{k-1})$
  - SLM向けCADツールを開発済
  - オプションとして入力部のPN回路の有無は選択可能(実装可能論理と面積とのトレードオフ)



k入力SLMセル

# なぜ大きく見せることができるのか？

テクノロジマッピング時に出現する論理には偏りが存在



ある論理関数をシャノン展開したときに  
一方の部分関数に対し、

発見！

- ・入出力を反転
- ・または定数を代入

もう一方の部分関数に変換可能な  
論理関数が多かった

$$\text{例 } f(A, B, C, D) = \bar{A} \cdot \underbrace{(B + C \cdot D)}_{f_{A=0}} + A \cdot \underbrace{(\bar{B} + D)}_{f_{A=1}}$$

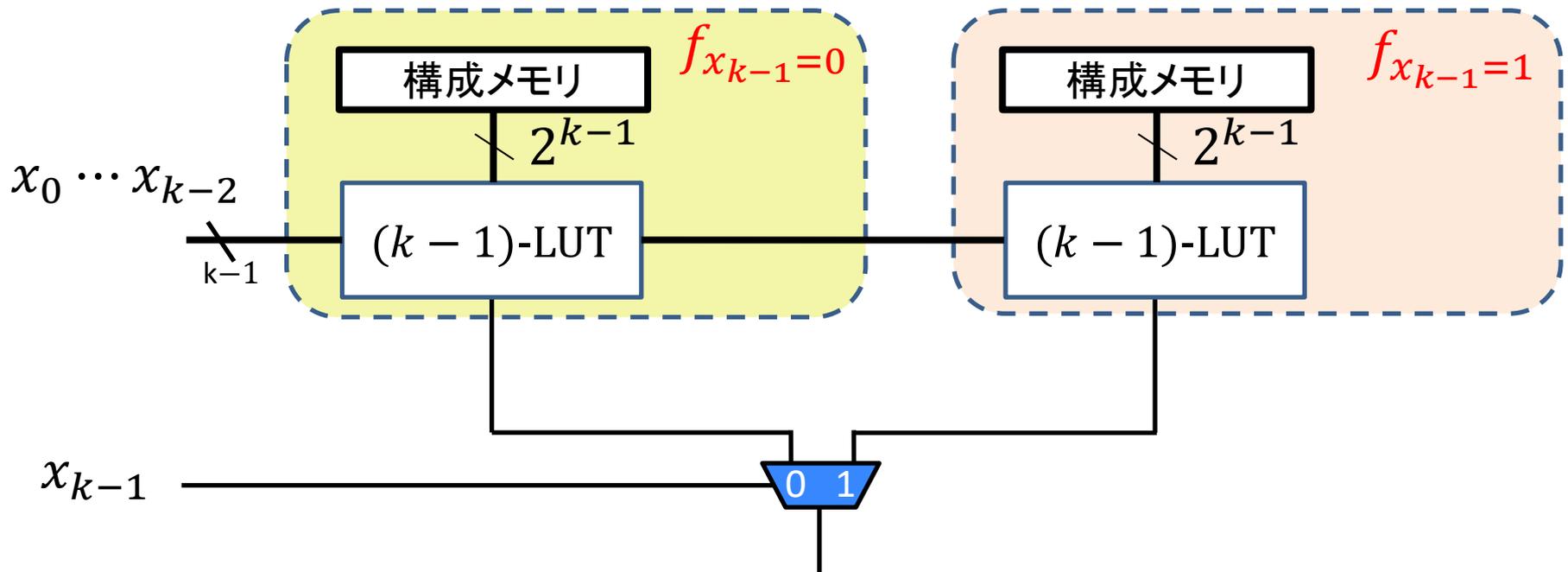
$B$ を反転し、 $C$ に定数1を代入 $\Rightarrow f_{A=0}$ は $f_{A=1}$ に変換可能

# シャノン展開

シャノン展開の公式

$$f(x_0, x_1, \dots, x_{k-1}) = \overline{x_{k-1}}f_{x_{k-1}=0} + x_{k-1}f_{x_{k-1}=1}$$

$f_{x_{k-1}=0}$  と  $f_{x_{k-1}=1}$  を  $f$  の 部分関数 と呼ぶ



$k$ -LUTの論理実装

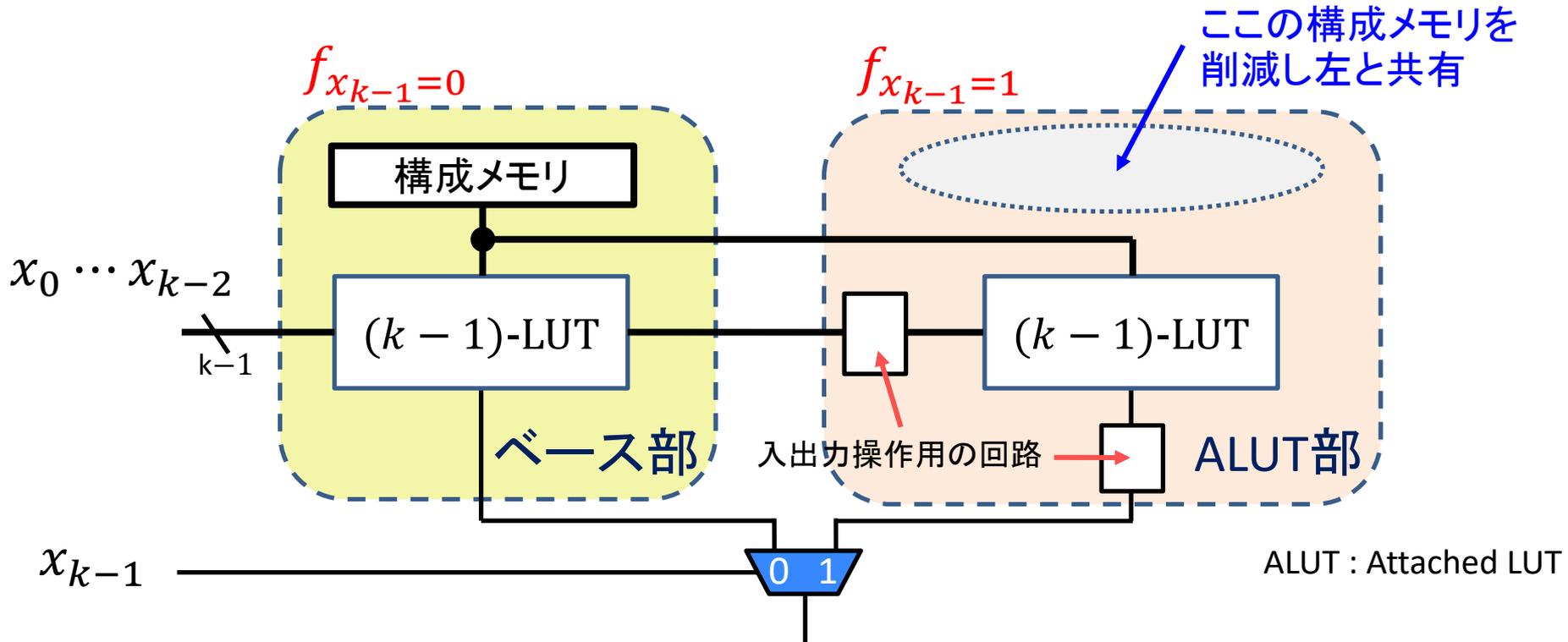
# 構成メモリの共有

一方の部分関数に対し

- ・入出力を反転
- ・または定数を代入



もう一方の部分関数に変換可能



$k$ -SLMでは、 $k$ -LUTの構成メモリ量の約半分に削減

# SLM再構成ロジックIPの試作

- MECデバイスのキーパーツである再構成ロジックの実現性を評価するためにTEGチップを試作

- 評価用基板のモックアップボードを作成  
評価回路：24ビットバイナリカウンタ  
動作確認：コンフィギュレーション後、  
問題なく動作していることを確認

リソース消費：

FF：24/1024 (3%)

BLE：38/1024 (4%)

STA解析結果：

FF-to-FFクリティカルパス遅延

5.658ns (176.7 MHz)

動作周波数：(実測)

Max 約83 MHz (上記評価回路)

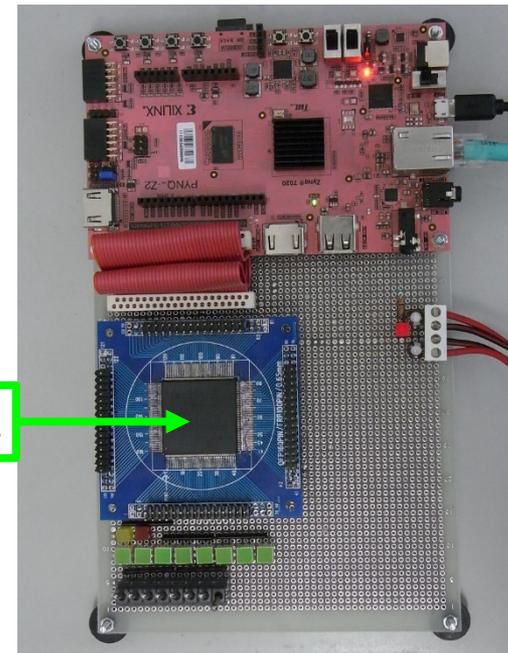
消費電流：(カウンタ動作時)

コア電源(0.9V)：90mA

I/O電源(3.3V)：36mA

(電源に内臓の電流計による)

TEG1



TEG1仕様

プロセス：UJSC 55nm, C55DDC LVT, GL:60nm

チップサイズ：2.1mm□

論理ブロック：256個(16×16)

BLE数：1024個(4個/論理ブロック)

I/Oピン：132個

((IO:16+VDD:4+GND:4=24)×4辺

+制御・テスト信号12=108本+モニタ信号24本)

# SLM設計フローも完成

実アプリケーションを実装・評価する環境が整った

可視化したEDAフロー

ダッシュボード

①EDAフローの構成  
エディタ

②プロジェクト管理  
遠隔デスクトップ

③コーディング

④シミュレーション

Cloud / Local

完全コンテナ化  
& 完全WEB UI

# まとめ

- SLMとは
  - 小さなLUTを大きく見せるアーキテクチャ
  - 構成メモリが少ない単純な構造
  - NPN同値類を使って少ない論理カバー率ですべての回路のマッピングする
  - FPGA IPとして実現し、試作チップで実装・評価した
  - 構成メモリ数が少ないのでSoC搭載のeFPGA向き