

MINC: キャッシュ制御機構を持つ MIN

安川 英樹、天野英晴、舟橋 啓、埴 敏博

慶応義塾大学理工学部

〒 223 神奈川県横浜市港北区日吉 3-14-1 TEL:045-560-1063

Email: {yasukawa, hunga, funa, hanawa}@aa.cs.keio.ac.jp

多段結合網 (Multistage Interconnection Network: MIN) を用いたマルチプロセッサは、同時に多数のメモリモジュールをアクセスすることができ、比較的少量のハードウェアで大きな規模のシステムを実現することができる。一方で、キャッシュの一致制御を取るためのコストが大きいため、結合網中にキャッシュまたはディレクトリを置く試みが行なわれている。しかし、従来の方法では、ステージ毎にディレクトリまたはキャッシュをアクセスする必要があり、全体として必要な記憶容量と、アクセス時間の増大を招いた。そこで、ディレクトリ縮約方式を導入すると共に、エレメント内に小容量フルアソシアティブキャッシュを設け無駄なパケットの増加を避ける機構を持つ MINC (MIN with Cache control mechanism) を提案する。

MIN、マルチプロセッサ、キャッシュ、階層ビットマップディレクトリ

MINC: A Multistage Interconnection Network with Cache control mechanism

Hideki Yasukawa, Hideharu Amano, Akira Funahashi, Toshihiro Hanawa

Faculty of Science and Technology, Keio University

Hiyoshi 3-14-1, kouhoku-Ward, Kanagawa-Prefecture 223

Email: {yasukawa, hunga, funa, hanawa}@aa.cs.keio.ac.jp

Multistage Interconnection Network (MIN) has been used for connecting processors and memory modules in a large scale multiprocessor. While multiple memory modules can be accessed simultaneously with a reasonable amount of hardware in such a machine, coherent cache is difficult to be implemented. Some MINs including cache or cache directory in their switching elements have been proposed. However, conventional approaches require a large amount of memory and a latency for accessing the cache or directory inside switching elements. Here, a novel MIN with a cache coherent mechanism called MINC (MIN with cache control mechanism) is proposed. By introducing reduction schemes of the hierarchical bit map directory and the directory cache inside the MIN, the coherence is managed quickly with a small amount of memory.

MIN, Multiprocessor, Cache, Hierarchical bit-map directory