

第11回 復習

1 サイクル版 POCO

今回は、練習ノート方式を取ることにした。指定する命令で、データがどのように流れ、制御がどのようになっているか、それが Verilog 記述とどのように対応するかを確認しよう。

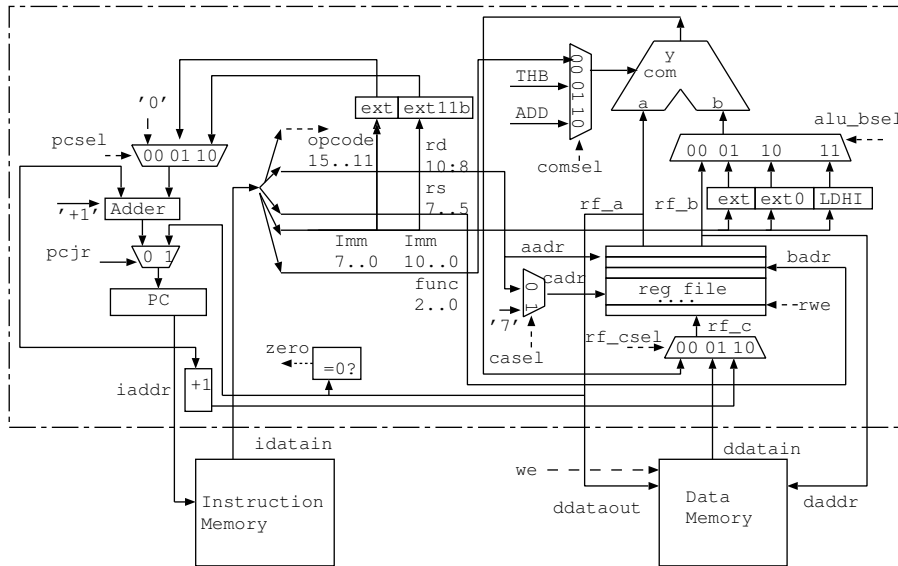


図 1: 1 サイクル版 POCO その 1

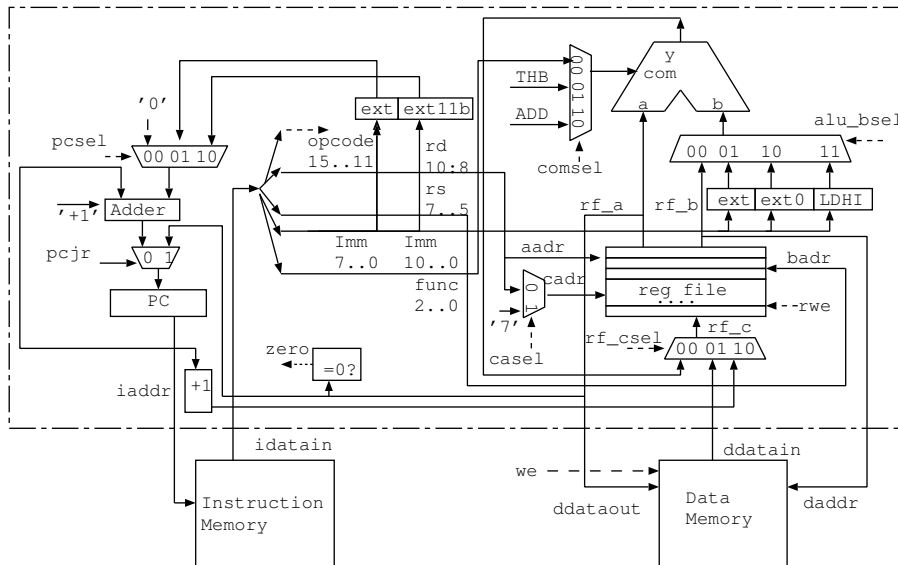


図 2: 1 サイクル版 POCO その 2

2 サイクル版 POCO

2 サイクル版は IF と EX に 2 つのサイクルで実行をする。IF は、すべての命令で共通である。EX は命令毎に異なるが、基本は 1 サイクルと同じである。

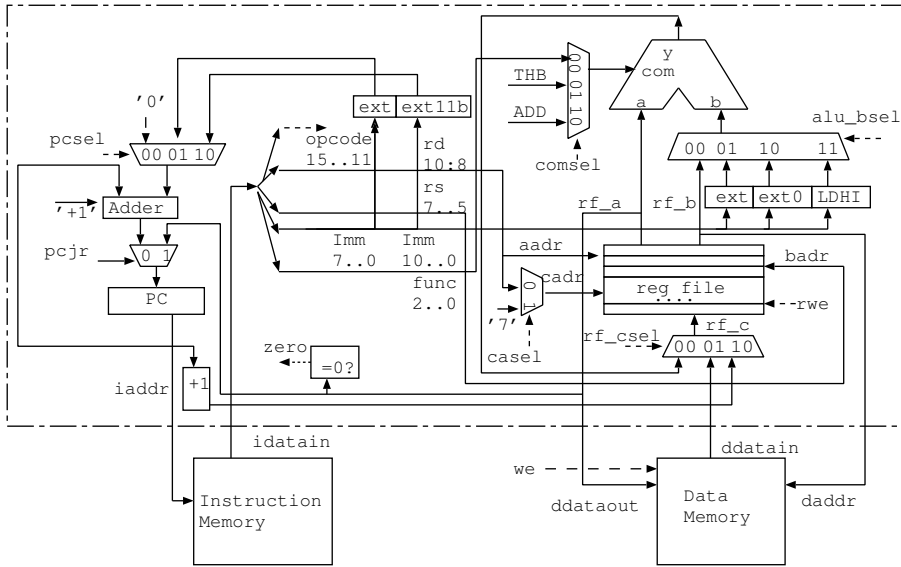


図 3: 1 サイクル版 POCO その 3

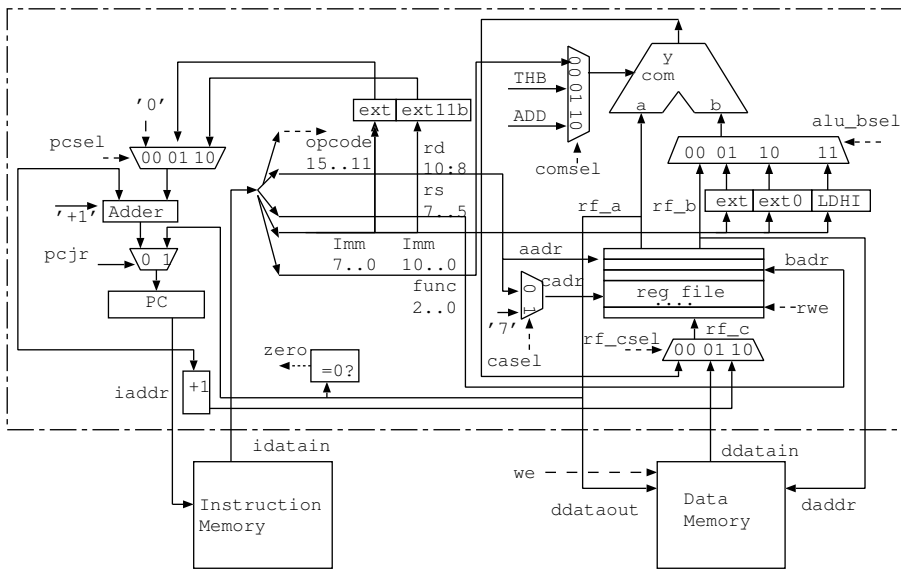


図 4: 1 サイクル版 POCO その 4

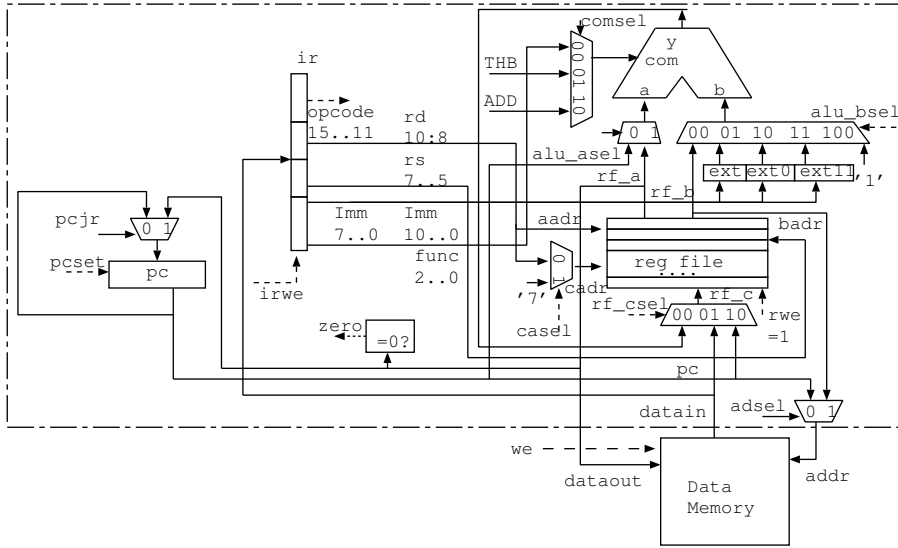


図 5: 2 サイクル版 POCO IF

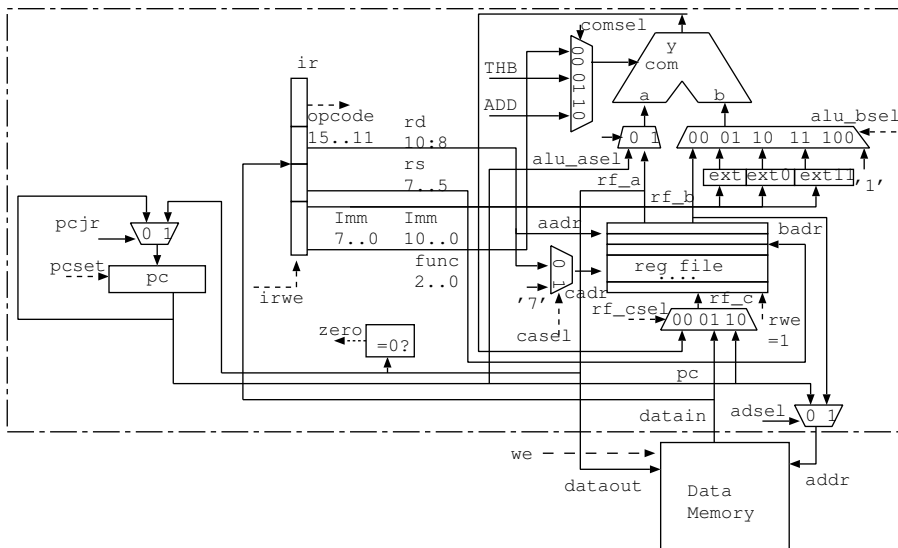


図 6: 2 サイクル版 POCO EX その 1

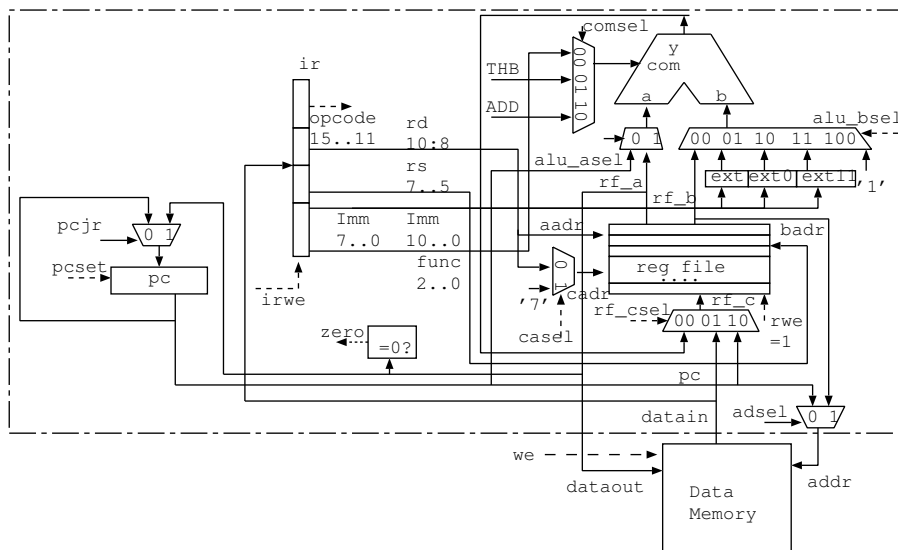


図 7: 2 サイクル版 POCO EX その 2

論理合成、圧縮

前回までの課題では、クロック周期を変化させて、遅延×面積を求めた。遅延は、指定したクロック周期-slack で求める。slack は表示した遅延パス (web 上の tcl では 10 本) で一番最初のものを見る。これは長いもの順に表示されるからである。クロック周期を短くし過ぎると slack はマイナスになってしまう。この時は、VIOLATED が表示されるのですぐわかる。マイナス場合は、遅延がその分伸びることになる。ちなみに、slack がマイナスになるように指定することは、実際には結構良くやるのだが、この状態だと面積は相当大きくなるため、遅延×面積を最小とするという目的には適せない。

本日の課題

前回までの課題のうち、できていないもの、理解していないものを持って提出せよ。