

2017 年度期末試験解答例

1. 0 番地に 4、4 番地に 8、8 番地に 3 が格納されている時、以下の MIPS の命令を順に実行した。

```
lw $2,4($0)    lw $1,0($2)    add $1,$1,$2
```

レジスタ \$1, \$2 の内容はどのようになるか？

\$2 8

\$1 3→11 これは簡単なので落とすと辛いです。

2. 5 から 1 まで数えて 5 に戻るダウンカウンタを Verilog HDL で記述せよ。3bit の出力を cnt とし、入力としてクロック信号 clk,リセット信号 rst_n(0 で cnt が 5 になる)を設けよ。

```
module fivetoone(input clk, rst_n,
output reg [2:0] cnt);
always @(posedge clk or negedge rst_n) begin
    if(~rst_n) cnt <= 5;
    else if(cnt==1) cnt <= 5;
    else cnt <= cnt -1;
end
endmodule
```

ストップ付けてくれた方はもちろん正解です。

3. 0 番地から並んでいる 100 個のワード (32bit) から負の数 (符号 bit が 1) がいくつあるか数えて、答を \$4 に入れるプログラムを MIPS のアセンブラで記述せよ。

```
        add $1,$0,$0
        addi $2,$0,100
        add $4,$0,$0
loop:    lw $3,0($1)
        slt $5,$3,$0
        beq $5,$0,skip    skip しないで add $4,$4,$5 をやるテがある。
        addi $4,$4,1
skip:    addi $1,$1,4
        addi $2,$2,-1
        bne $2,$0,loop
end:    beq $0,$0,end
```

4. 3 のプログラムを、\$1 に調べる最初の番地を入れて答を \$4 に入れるサブルーチン

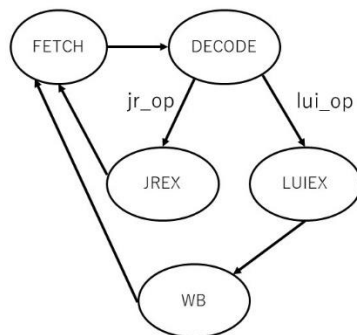
の形で示せ。

最初の行を除いて、最後の end:の代わりに jr \$31 を付ければよい。

呼ぶ方も示して下さった方も居ましたが、点数には影響しません。

5. 以下は MIPS のマルチサイクルプロセッサの状態遷移を示す Verilog コードの一部である。対応する状態遷移図を示せ。

```
case (stat)
`FETCH: stat <= `DECODE;
`DECODE: if(lui_op) stat <= `LUIEX;
           else if(jr_op) stat <= `JREX;
`LUIEX: stat <= `WB;
`JREX: stat <= `FETCH;
`WB: stat <= `FETCH;
endcase
```



この問題は非常に簡単なのですが、前例がない新作なんで答えてくれない人が結構いました。もったいないです。

6. マルチサイクル版の MIPS では、命令の実行に、lw 命令は 5 クロック、分岐命令は 3 クロック、その他は 4 クロックを必要とする。lw 命令の生起確率が 20%,分岐命令が 30% とすると、CPI はいくつになるか？またクリティカルパスが 3nsec になった場合、クリティカルパス 6nsec のシングルサイクル版と比較すると、どちらがどれだけ速いか？

$$5 \times 0.2 + 3 \times 0.3 + 4 \times 0.5 = 3.9 \quad \text{CPI は } 3.9$$

$$3.9 \times 3 = 11.7 \text{ nsec}$$

$$11.7 / 6 = 1.95$$

シングルサイクル版が 1.95 倍高速である。

これは CPI ができていれば部分点を付けました。なぜか後半で間違っている人が多かったです。

7. 128KByte の主記憶に対して、8KByte のキャッシュを設ける。ブロックサイズが 16Byte とした場合、2way set associative cache, 4way set associative cache のディレトリ構成はどのようになるかを示せ。

Direct map の場合、キャッシュ中には 512 ブロック入る。よって Index は 9 ビット。

主記憶中には 8 K ブロック入るので、 $13 - 9 = 4$ ビットが Tag となる。

2way では Index 8bit、Tag 5 ビットのディレトリが 2 個

4way では Index 7bit Tag 6 ビットのディレトリが 4 個

となる。

これは予告もしていたし、やり方のスライドも示したし、演習でもやったので、正答率が高かったです。間違えると痛いです。

8. フルマップ方式は普通のキャッシュでは滅多に使われないが、TLB には使われることがあるのはなぜかを簡単に説明せよ。

(一例)

TLB は一般のキャッシュに比べて局所性が高い。また最初の段階でアドレスを変換するため高速動作が必要である。このため、容量を小さくして、全体を効率的に使うことのできるフルマップ方式を用いるのが有利である。

適当に部分点を付けています。

9. 実行時間の半分で並列処理が可能なプログラムを実行する場合、100 台のプロセッサで並列実行するのと、そのプロセッサの 1.9 倍の速度の高速プロセッサを 1 台使うのとどちらがどれだけ高速かを示せ。

並列実行は $0.5 + 0.5 / 100 = 0.55$ $1 / 1.9 = 0.526$ 流石に 100 台の方が速いが、1.046 倍にすぎない。

これは、文章が悪かったのか、誤解した人がいたのですが、0.526 に対して部分点を付けています。どのように読み取ったとしてもここまではできて良いはずです。

10. DMA 転送が一定のサイズ以上のデータに対してのみ行われる理由を簡単に説明せよ。

(一例)

DMA は転送開始前に CPU からバスの利用権を獲得し、使用后これを戻さなければならない。このためのオーバーヘッドが大きいと、ブロック転送で大量にデータを転送しないと却って性能が落ちてしまう。

DMAはブロック転送の方が、効率がいいから、という答は、答になってないです。なぜ効率が良いのか、なぜ単独データをおくと効率が下がるのか、を書いてくれないと困ります。