1B-6　マルチプロセッサチップを想定した並列計算機テストベットATTEMPT-1 – 構成と実装 –*

井上 敬介[†]　寺澤 卓也[‡]　黒澤 飛斗矢[†]　天野 英晴[†]
慶應義塾大学 理工学部[†]
東京工科大学 情報通信工学科[‡]

1 はじめに

我々はマルチプロセッサチップを念頭に置いたキャッシュプロトコルとして、主記憶アクセスを最小化する新Keioプロトコル[1]を提案している。このプロトコルでは同期、メッセージ転送も含めて主記憶との転送を最小化することが可能である。現在、我々はシミュレーションによってこのプロトコルの評価を行なっているが、さらに詳く評価し、また並列環境に於ける様々な研究を行なうために、このプロトコルを実装した並列計算機テストベッドATTEMPT-1を開発中である。本稿ではこのATTEMPT-1の構成と実装について説明する。

2 ATTEMPT-1の構成

ATTEMPT-1は20プロセッサボードと共有メモリボードをIEEE Futurebus+ で結合した図1のような構成である。

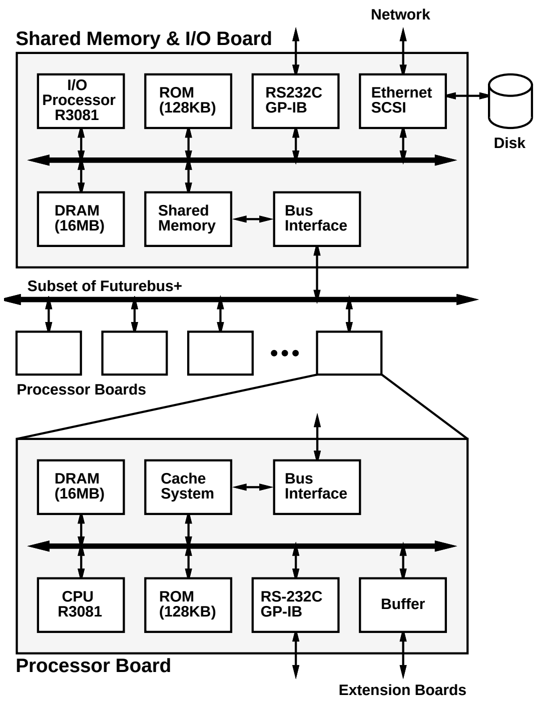

図1: ATTEMPT-1のアーキテクチャ

2.1 プロセッサボード

プロセッサボードにはプロセッサの他に、新Keioプロトコルのバススヌープキャッシュ、EPROM、ローカルメモリ(他のPUと共有しないプライベートなメモリ)、各種I/Oが実装されている。

プロセッサはIDT社のR3081(40MHz)を使用している。R3081はMIPS R3000互換の命令ユニットとキャッシュ、浮動小数点ユニットを1チップ上に内蔵している。バスと周辺回路はプロセッサ動作周波数の半分の20MHzのクロックで動作している。

ローカルメモリは最大64MBまで実装可能であり、共有度の低いデータを置くなどして積極的に用いると、アプリケーションを効率よく実行できる。

I/OはRS232C、GPIB、LEDが実装されている。ATTEMPT-1のプロセッサボードは単体でもワンボードコンピュータとして使用可能な構成となっており、これらのI/Oはハードウェア、システムソフトウェアのデバッグ手段として使用することが可能である。

2.2 共有メモリボード

共有メモリボードには最大512MBytesの共有メモリの他に、Ethernet、SCSIとI/Oプロセッサが搭載されている。

共有メモリは、プロセッサの動作速度に対して共有メモリが遅い場合の評価がとれるように、テストベットの機能として任意のwaitが入れられるようになっている。no wait時の共有メモリのアクセスレイテンシはバスのコネクションフェーズが205ns、データ転送は200nsであり、nワード転送には$(205 + 200 \times n)$nsかかる。なお、ローカルメモリのアクセス速度は100nsである。

Ethernet、SCSIは共有バスにはつながっておらず、

---

*ATTEMPT-1: A test-bed for on-chip multiprocessors – Implementation –

[†] Keisuke Inoue, Hitoshi Kurosawa, Hideharu Amano, Keio University

[‡] Takuya Terasawa, Tokyo Engineering University

プロセッサボードからこれらのI/Oを使う場合は共有メモリを通してI/Oプロセッサに仕事を依頼する形になる。そのため共有バス上やプロセッサボード上のI/Oと違い、ホストコンピュータやディスクとの間で大量のデータ転送を行なっても共有バスのトランザクションは増えることがない。また、共有メモリとI/OはI/Oプロセッサのローカルバスでつながっているため、高速な転送が行なえる。

I/Oプロセッサとその周辺の基本的な設計はプロセッサボードと共通になっており、プロセッサ(R3081)、EPROM、ローカルメモリ、RS232CやGPIBなどの各種I/Oが実装されている。メモリマップも共有メモリのアドレスまで全く同じになっており、開発環境やプログラムの大部分を共有できるようになっている。

2.3 共有バス

共有バスにはIEEE Futurebus+をベースとして、一部の機能を省略したサブセットのバスを使用する。バスインタフェースにはNational Semiconductor社のチップセット[3]を使用している。バスインタフェースからの信号はPLD(Altera FLEX8000)で構成されたコントローラ部で同期化している。このバスコントローラはAHDL(Altera社のハードウェア記述言語)で開発してVerilog-HDLでシミュレーションを行なっている。

2.4 キャッシュシステム

ATTEMPT-1のキャッシュシステムで採用されている新Keioプロトコルは、同期、メッセージ転送も含めて主記憶との転送を最小化するために、マルチプロトコル[2]をサポートし、同期機構が組み込まれている。ここではそれらに関して簡単に説明する。

2.4.1 新 **Keio** プロトコルの構成

新Keioプロトコルは、書き込み無効化型プロトコルと書き込み更新型プロトコルを仮想記憶のページ毎に設定できる。また、キャッシュミスにはできる限りキャッシュ間ブロック転送で対応するため、ownershipの概念を導入している。新Keioプロトコルの状態遷移図を図2に示す。

2.4.2 同期機構のサポート

ATTEMPT-1のキャッシュは同期機構を含んでおり、同期プリミティブとしてFetch-&-Decrement(F&D)機構が用意されている。F&Dは不可分操作でなければならないが、バスマスタになってからF&Dすることによってこれを実現している。

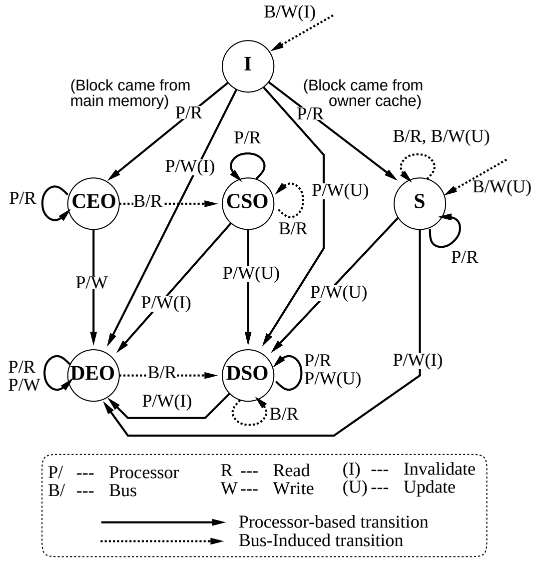

図2: 新Keioプロトコルの状態遷移図

2.5 プロセッサ間割り込み機構

ATTEMPT-1はオペレーティングシステムの実装を想定してプロセッサ間割り込み機構をもつ。割り込みは全プロセッサか指定したプロセッサ1つにかけることが可能である。割り込みは256種類設定でき、多重割り込みに対処するため割り込みqueueも用意している。

3 まとめ

並列計算機テストベットATTEMPT-1の構成について述べた。現状ではATTEMPT-1はプロセッサボード、共有メモリボードともワンボードコンピュータのレベルまで実装が終了しており、モニタプログラムが動作している。現在、キャッシュとバスインタフェースを実装中である。

参考文献

[1] 小椋, 寺澤, 井上, 天野, “マルチプロトコルをサポートしたキャッシュシステムの実装と評価”, 信学技報 CPSY 93-39, Nov. 1993

[2] 松本 尚, “細粒度並列実行支援機構”, 計算機アーキテクチャ研究会報告 No.77-12, 情報処理学会, pp.91–98, July 1989

[3] “フューチャーバス+デザイナーズガイド”,National Semiconductor Japan Ltd.