

超並列計算機JUMP-1における バリア同期機構の実装

情報工学科天野研究室
田村 友紀 (69614587)

超並列計算機JUMP-1

- 7大学共同プロジェクト
- CC-NUMA
(Cache Coherent Non-Uniform Memory Access model)
- ネットワークはRDT
- 1クラスタ、4プロセッサ
- プロセッサは Super SPARC+



JUMP-1の同期機構

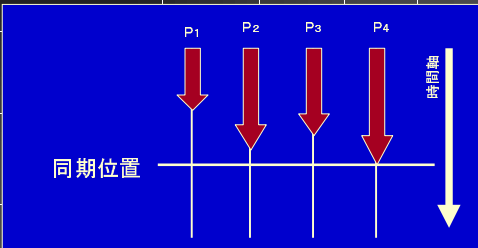
今まではソフトウェアバリアを利用

プロセッサ数が増えるに従って、オーバーヘッドが増大

よりオーバーヘッドの少ないハードウェアバリアを実装する事が必要

JUMP-1のハードウェアバリアとして、エラスティック・バリア

一般的なバリア同期機構



エラスティック・バリア

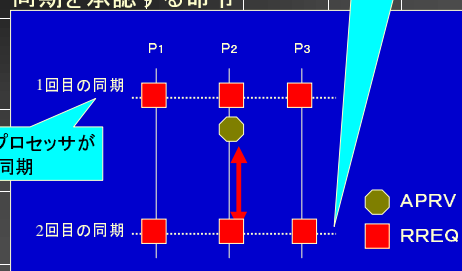
- 単純な命令を加える事で一般的なバリアを拡張
 - 一般的なバリアと違い任意参加が可能
 - バリアに幅を持たせる事により、より柔軟にプロセッサを利用する事が可能

APRV (Approve)

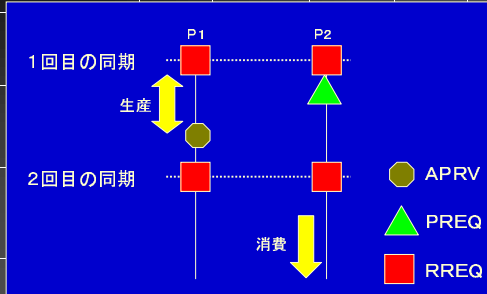
同期を承認する命令

同期を取る場合

全てのプロセッサが同期



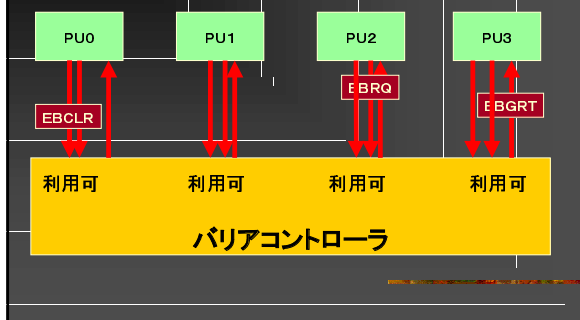
生産者・消費者の依存に伴う オーバヘッドの削減



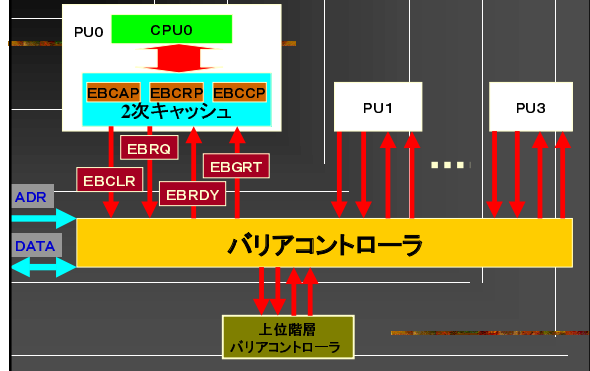
JUMP-1における エラスティック・バリア機構

- 2次キャッシュ内のキャッシュコントローラ
 - APRV、PREQ、RREQ命令に伴い
 - ◆同期に必要な信号の生成
 - ◆制御に必要なカウンタ
 - ▶同期承認カウンタ(EBCAP)
 - ▶同期予告カウンタ(EB CPR)
 - ▶同期成立カウンタ(EBCCP)
- バリアコントローラ
 - ◆信号線の制御を行う

クラスタ内のバリア同期動作



エラスティック・バリア機構の実装形態



バリアコントローラ

- Quick Logic社のFPGAにハードウェア記述言語 Verilog-HDLを用いて実装
- システムクロックの1/4周波数で動作

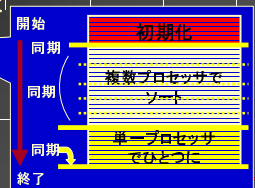


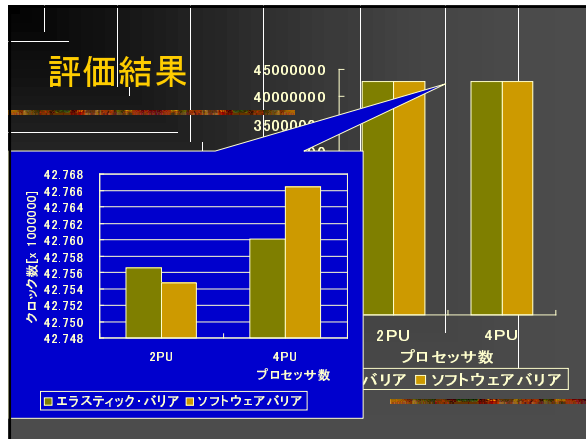
約870ゲートを使用、
最大クロック 23MHz



評価方法

- ソートを実行
- 開始から終了までのクロック数を測定
- ソフトウェアバリアと比較
- 同期位置は、7回





まとめ

- プロセッサ数が少ない時は、メモリポリングの数が少なくてすむためソフトウェアバリアの方が速い
- JUMP-1のようにプロセッサ数の多いハードウェアでは、ハードウェアバリアの方がよい
- エラスティック・バリアは、柔軟性に優れているので他のハードウェアバリアと比べて高い性能が期待できる
- 今後の課題として、現在のバリアコントローラはまだクラスタ内の同期にしか使用していないのでクラスタ間の同期制御を取る必要がある