

突っ込み1:
時めいてはいない(他の人は知らんけど)

突っ込み2:
ときめき、は恋愛専用
利用例:ときメモ

ARC200回記念パネル

今、わくわくしていること
(スゲエと思ったこと)

慶應義塾大学

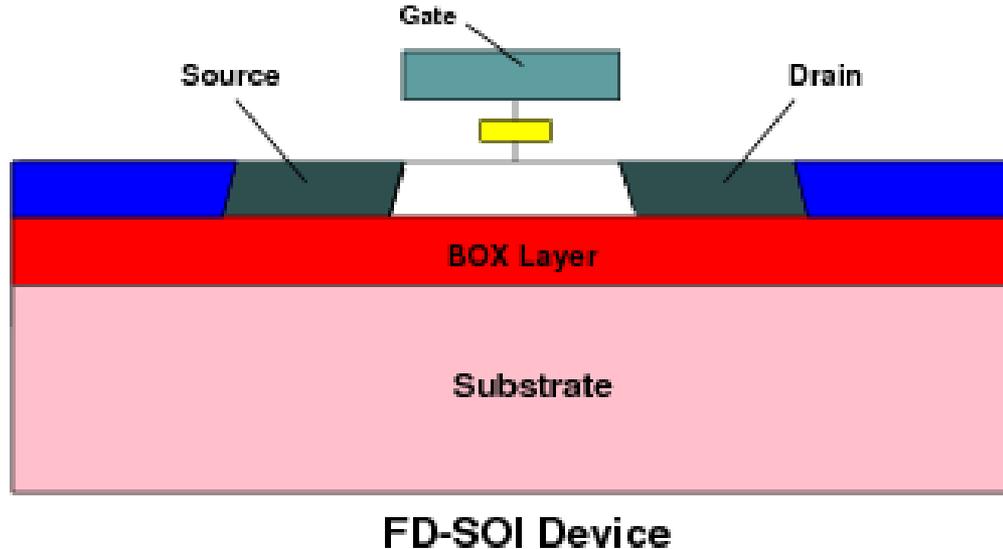
天野英晴

自慢じゃなくて、一緒に遊ぼうよ、という誘い
(皆が使える技術だから)

なんといっても一番ワクワクするのは
モノを作ること、作ったモノが動くこと

- 1番最近(昨日)
 - CMA-SOTBのデモ
- 2番目(昨年12月)
 - STMicrow 28 μ mテープアウト
- 3番目(昨年9月)
 - ワイヤレス誘導結合のヘテロジニアスマルチコアCube-1の3枚積層が稼働

その1: 超低電圧デバイス技術研究組合 (LEAP)のSOTBはマジ凄い



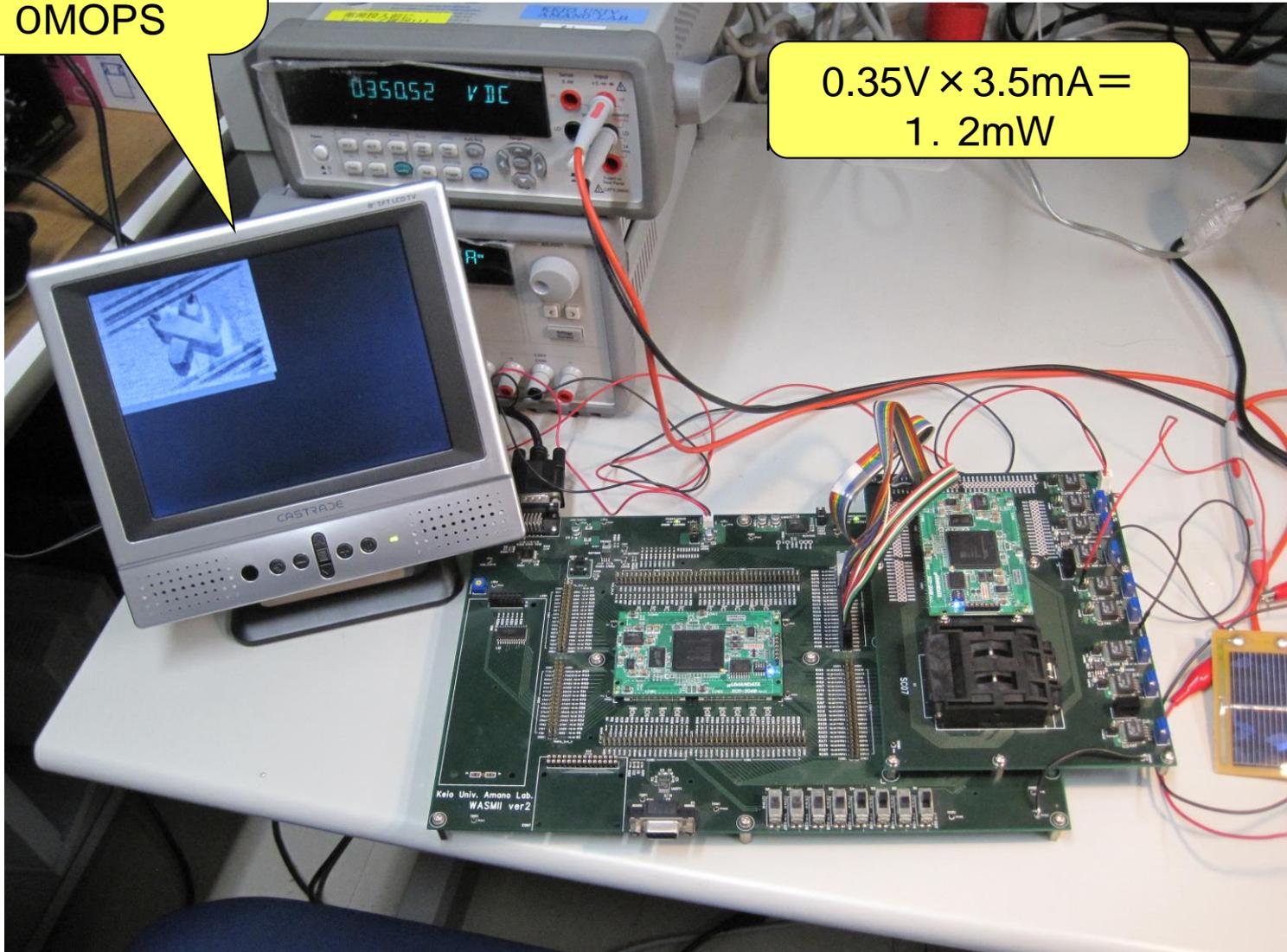
- 実はなんだかわかってないのだが、BOXレイヤというのを付けることで矢鱈低電圧でも動く
 - V850(マイコン)は0.25Vで25MHzで稼動
 - CMA(アクセラレータ)も0.3Vで30MHzで稼動
- 漏れ電流と性能のバランスをバックバイアスで取ることができる
 - リバースバイアスで漏れ電流を節約、性能は低下
 - フォワードバイアスで性能は向上、漏れ電流は増大
 - 比較的細かい範囲で制御可能→アーキテクチャ的な工夫が色々できる

昨日のデモの写真

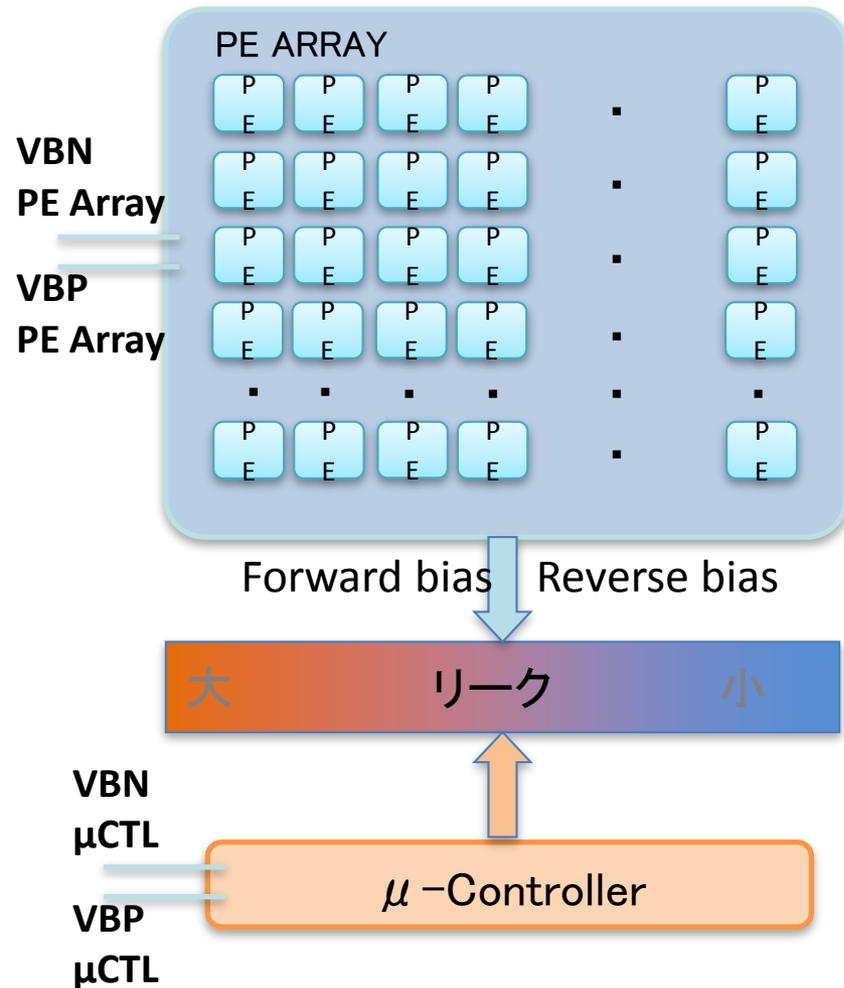
Alpha Blender
25MHz
本当は30MHz
0.4Vで最大60
0MOPS

$$0.35V \times 3.5mA = 1.2mW$$

太陽電池



CMAの場合PEアレイとμコントローラのバランスを取るのに使った



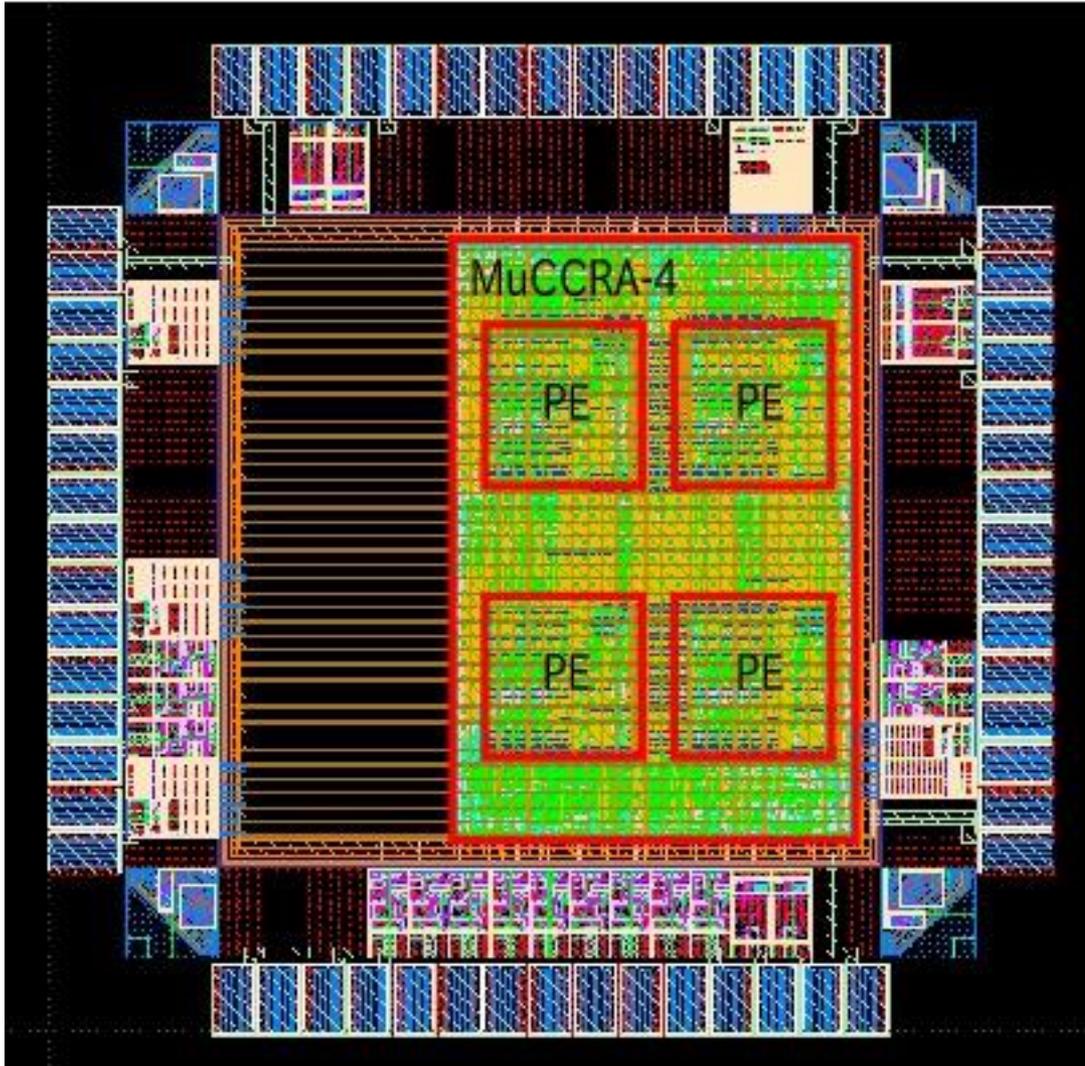
- 複雑なアプリの場合
 - PEアレイはForward
 - μコントローラはReverse
- 簡単なアプリの場合
 - PEアレイはReverse
 - μコントローラはForward
- 待機状態
 - 両方Reverse

VDECで公開を交渉中

- 今は300MOPS/2mW程度
- 次は1GOPS/2mWの世界一のエネルギー効率を狙おう
 - アーキテクチャの工夫で実現可能と考えている
 - デバイスも少しは改良されるはず
- CPUアーキテクチャにも適用可能
 - 様々な遅延と漏れ電流のトレードオフが実現できる
 - アプリ単位で変えられる
 - ランタイムはムリ→ これはPower Gating (Geysers)で
 - ちなみにこれは一昨年二番目にわくわく(びっくり)したこと
 - 例えばキャッシュとか、NoCとか、、

その2: STmicro 28nmのプロセスは結構凄いが、今の開発環境は結構酷い

- 65n、45nと国産プロセスを使って、漏れ電流は小さいけど遅いなあと思った
- STmicro 28nmは普通に600MHz-800MHzは出る
- SOIなのでボディバイアス制御は可能
 - しかし制御性、制御範囲の細かさはSOTBの方が上
- 1mm角に100万ゲート入っちゃう
 - I/Oのスペースが大きすぎ、数が取れない



今回0.65mm×0.65mmしか
使えなかった

押し込めば8PE入ったと思うが
設計環境が悪く自重した

動的リコンフィギャラブルプロセッサ
MuCCRA-4

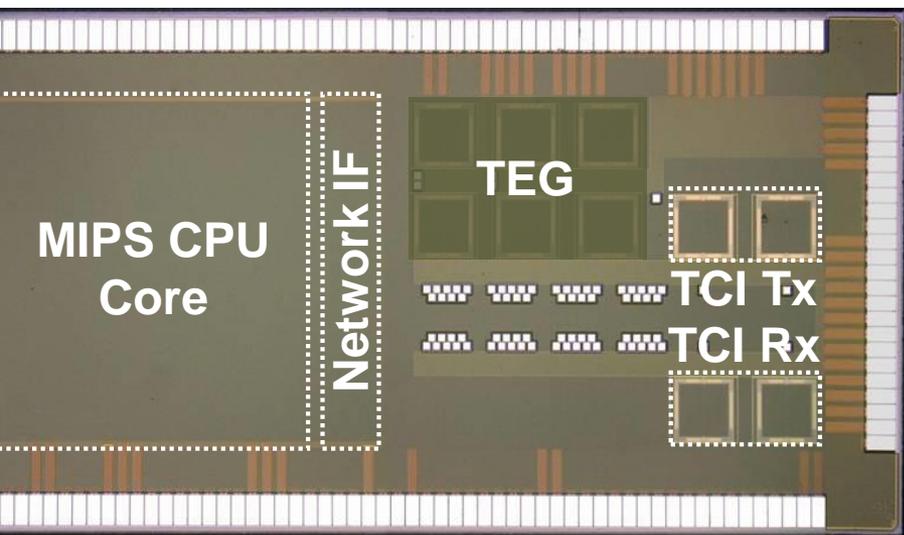
これもVDECで使えるようになる

- 悪い点
 - 現在、デザインキットが使えず、開発環境が悪い
 - 詰め込むとDRCエラーが多発
 - 手でエラーを修正しないといけない
 - EndCapってのを慎重にいれないといけない
 - スタセルを使った大規模デジタル設計グループが居ない
 - VDECはデジタル設計者に冷たい
 - Virtuosoとか使えて当たり前なのでしんどい
- 良い点
 - こっちはVDECは本気だ
 - 動作周波数は高いし、たくさん載る
 - 来年度もSTARCで公募があるはず
- 誰かマルチコアを真剣に載せたい人は居ないだろうか？

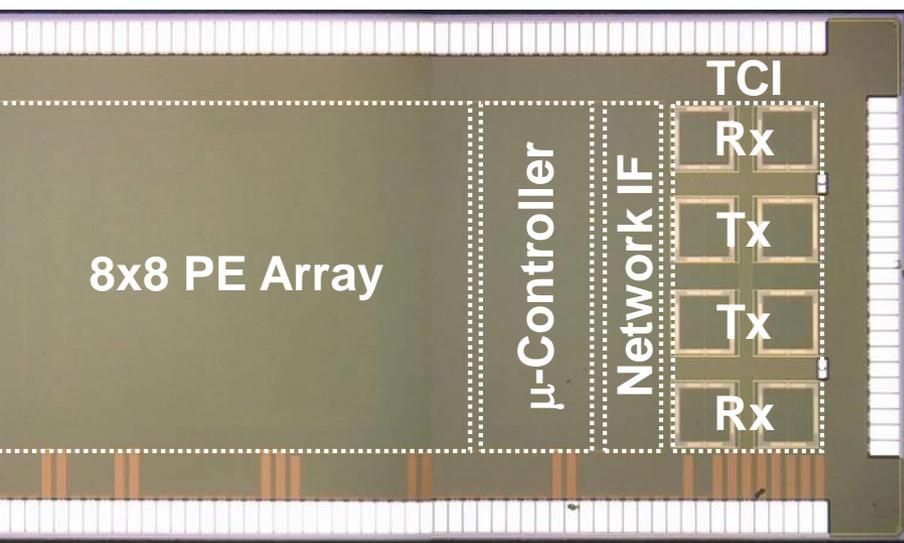
その3:

ワイヤレスチップ間結合は本当に動く

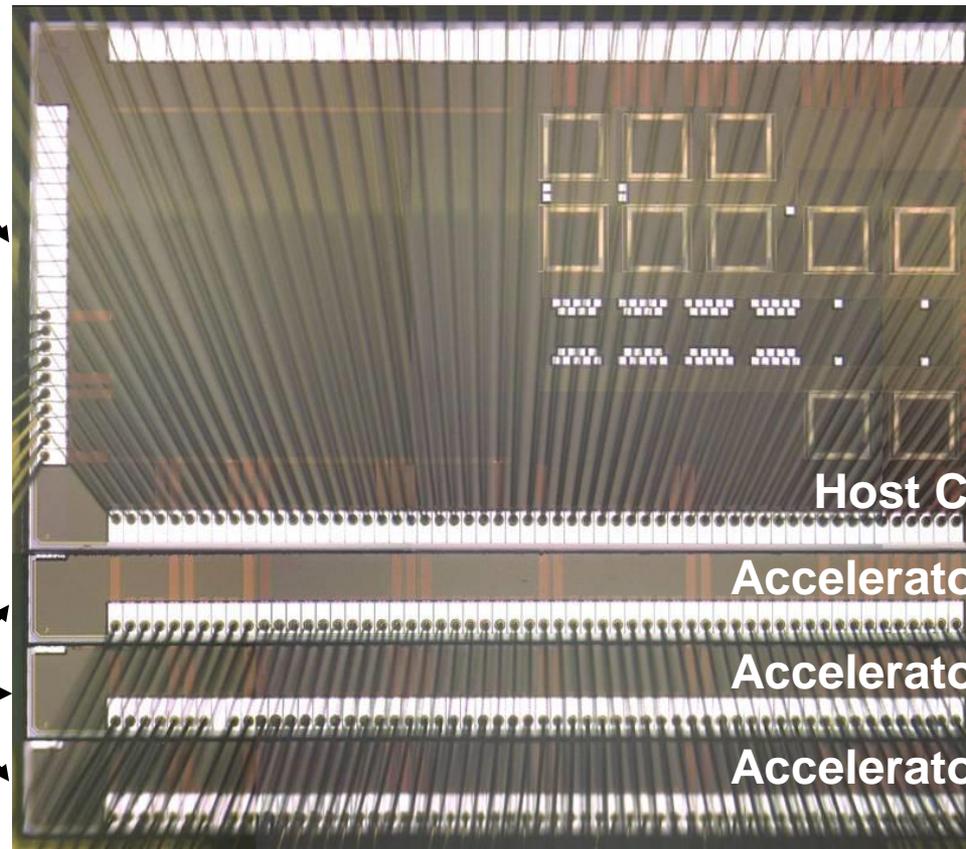
- トラブル続きで全然動かなかった
 - まずは色々破損した
 - 研磨時、移動時のチップ破損
 - 積層時のチップ破損
 - 主原因はチップが反ること
 - 次はコイルの巻く方向が反対だった
- 一昨年ようやく2枚積層で動いた
 - しかしまだ誤算が、、
- 昨年なんとか3枚で動いた
 - しかし実は問題が、、、



Host CPU Chip

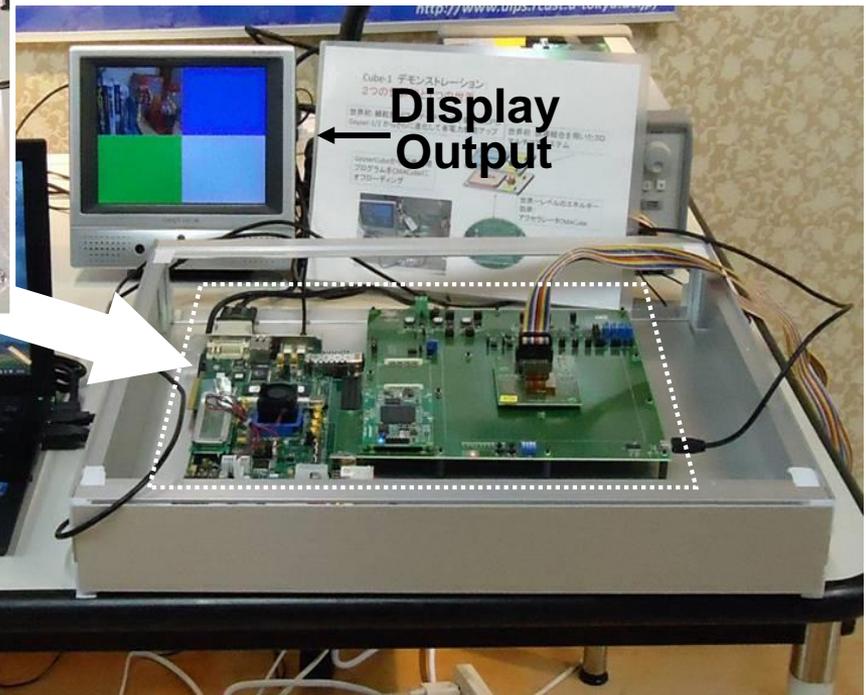
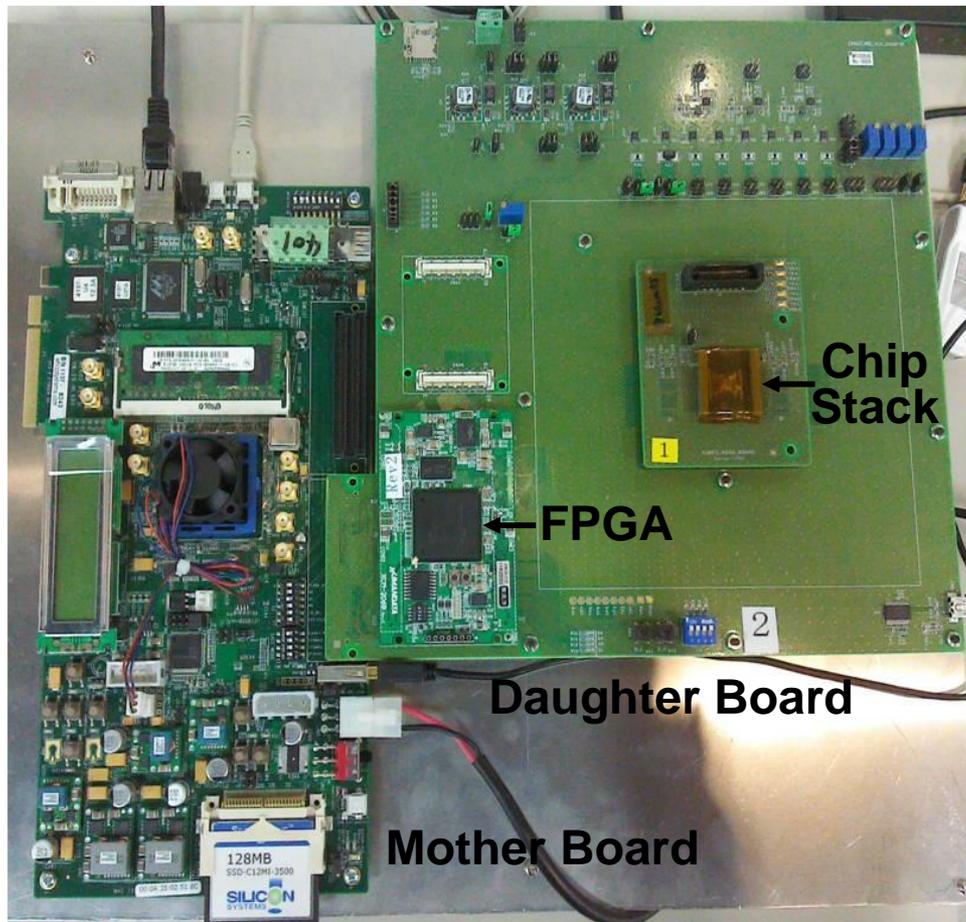


Accelerator Chip



**Host CPU + Accelerator x3 Chip Stack
Fabricated in 65nm CMOS**

Microphotograph of stacked test chips.



現在IP化を試行中

- レイアウト工程で簡単に使えるIPとする
 - インダクタ内部にデジタル回路を入れる
 - 再来年にはSTMicro、TSMCなどで利用可能にする(黒田研次第だが本当にできるか、、、?)
- 大学が中小企業に頼んでできるSiP
 - 研磨で20個／10万円くらい
 - 基板さえ作れば積層は2－3万円
- VIPLしか使えないTSVで、ペーパーマシンの3D研究してないで、こっちを使ったら？

10年前、20年前との違い

- 25年前： (SM)²、SNAILとか作っていた頃
 - スケマ設計、回路図テープアウト、特殊設計環境
 - ゲートアレイ
- 20年前： JUMP-1とか作っていた頃
 - Verilog HDL、VHDL、スケマティック混合テープアウト
 - 特殊設計環境
 - Embedded Array
- 10年前： RHiNET Clusterとか作っていた頃
 - Verilog HDLテープアウト
 - Embedded Array
 - 標準設計環境
- 当時から動けばワクワクしたが、実は内心動くのは当たり前だと思っていた

2000年代後半から世の中が変わった

- 自分でレイアウトしないとテープアウトできない
- 新しい回路技術との組み合わせが可能に！
- 失敗率が飛躍的に高まったが、動いたときの脳内物質の出方が違う：
 - MuCCRA-3が動いた時
 - CMA-1がFIB加工して動いた時
 - 2枚積層がFIB加工して動いた時
 - Geyser-3のPower Gatingを最初に動かした時

自分で作れないという 呪縛にかかっているか？

- 高性能パソコンの呪縛
 - 3GHzで動くのは当たり前と思ってない？
 - IntelやNVIDIAの使っているプロセスはもはや普通のプロセスと掛け離れた特殊プロセス
 - 普通のPC、スマホ、ゲームマシン、車載それぞれコンピュータの使い方、利用プロセスは全然違う
- ヘネパタの呪縛
 - コンピュータアーキテクトはPC、サーバ用のCPUを改良してシミュレーションで評価を取るのがお仕事と思ってない？
 - 実装に基づく自分の領域を作らないと勝負するのが難しいぞ。
- スパコンの呪縛

昔よりもずっとワクワクできる

- 最先端の技術が大学でも利用可能
 - 大学ならばエッジを狙おう
- コンピュータ利用領域が拡散して可能性が広がった
 - 回路、デバイス、ソフトとアーキテクチャが連携すれば色々なところで勝負できる
 - 電力、エネルギー重視になった
- 日本の産業界は焼け野原みたいになった
 - これはもちろん悪いことだが良いこともある
- FPGAも楽しい(この話は今回しなかったけど)
- 狭いアーキテクチャの世界に閉じこもっていないで、外に出れば楽しいよ！