並列計算機シミュレータ ISIS の実装

An Implementation of a Multiprocessor Simulator ISIS

若林 正樹 † 寺澤 卓也 ‡ 山本 淳二 † 天野 英晴 †

Masaki Wakabayashi Takuya Terasawa Junji Yamamoto Hideharu Amano

慶應義塾大学 理工学部 † 東京工科大学 情報通信工学科 ‡

Keio University Tokyo Engineering University

1 はじめに

並列計算機シミュレータは、並列計算機アーキテクチャや並列アプリケーションの性能を検証する手段として用いられる。ハードウェアの細かい動作を正確に再現するシミュレータを用いることにより、高い柔軟性を維持したまま詳細な並列計算機の評価を行うことが可能である。そこで、プロセッサの命令単位で並列計算機の動作をシミュレートするシステムである ISIS(ISis is an Instruction-level Simulator) を実装する。

本報告では ISIS の実装と評価について述べる。

2 目的

我々は既にプロセッサ命令レベルで動作可能な並列計算機シミュレータ MILL[1][2] を実装済みであるが、MILL は対象となる並列計算機が限定されていること、MILL が実行できるワークステーションと OS が限定されていることなどの欠点がある。そこで、これらの欠点を解消した並列計算機シミュレータ ISIS を実装する。

ISIS はプロセッサのクロック単位で正確にシステム全体の動作を再現する並列計算機シミュレータである。プロセッサやバスなどのモジュールが柔軟に再構成可能であり、実行環境を限定しない。

3 構成

シミュレータを実装するためのプログラミング言語として C++を採用した。プロセッサ、バス、メモリなどの計算機の構成単位はクラスとして実装する。また、個々のオブジェクト同士を結合するためのインタフェースを各クラスに持たせている。

並列計算機をシミュレートするためには、まずこれらのクラスを用いて目的の計算機の構成を実現したシミュレータを作成する必要がある。作成したシミュレータは、ターゲットとなる並列計算機上で実行可能な a.out 形式の実行ファイルを直接実行することができる。

現在、プロセッサユニットとして MIPS 社の R3000 が実装されている。また、バス、共有バス、メモリ、キャッシュが実装済みである。さらに、並列計算機用のモニタが用意されているので、対話形式で実行を監視することも可能である。

4 評価

シミュレータ自身の実行時間を評価するために、R3000 プロセッサから構成されるバス結合型並列計算機を対象としたシミュレーションを行い、その実行時間を計測した。並列計算機はスヌープキャッシュ等の機能を持たない、単純な構成とした。

評価環境の詳細は以下の通りである。

- プロセッサ数は 1 ~ 32
- 各プロセシングユニットは十分な大きさのローカルメモリを持つ
- 共有バスはラウンドロビンによるアービトレーションを行う
- ローカルメモリは 4 ワード単位のブロック転送リードが可能 (その際に必要な時間は 8 クロックとする)
- 共有メモリアクセスは最小 9 クロックの単一ワード転送とする
- シミュレータの実行は Sun Microsystems 社の SS20(1PU, HyperSPARC125MHz, メモリ 48MB, Solaris2.4) 上で行う

アプリケーションには N クイーン問題 (N-queen), 行列の積 (matrix) を使用し、それぞれ 2 通りのサイズについて評価を行った。その結果、以下のような測定結果を得た。横軸はプロセッサ数、縦軸は実行速度 (1 クロック当たりの実行時間) である。

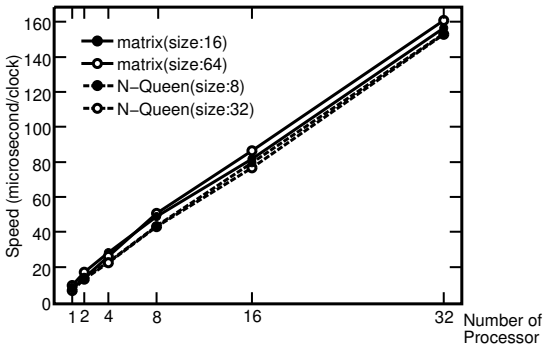

図 1: ISIS の実行速度

この結果から、シミュレータの実行速度は実行対象のアプリケーションの種類やサイズにほぼ無関係であり、1 プロセッサに 1 クロック入力すると 5μs を要することがわかった。これはクロック周波数 200kHz に相当する。

5 まとめ

柔軟性を重視した命令レベル並列計算機シミュレータ ISIS を実装し、実行速度の評価を行った。その結果、十分な速度で並列計算機の性能評価を行えることがわかった。

今後、現在の ISIS をもとに実際の並列計算機を対象にしたシミュレータを作成して行く予定である。

参考文献

[1] T.Terasawa, H.Amano, “Performance Evaluation of the Mixed-protocol Caches with Instruction Level Multiprocessor Simulator”, Proc. of 13th Int’l Conf. on Modeling and Simulation MS’94, pp.1-5, May 1994.

[2] 寺澤 卓也, 天野 英晴, “バス結合型並列計算機のプロセッサ間交信評価システム”, 情報処理学会研究報告 91-ARC-89, pp.185-192, Jul. 1991.