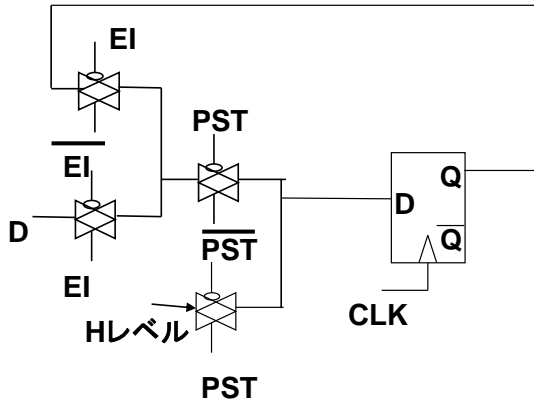


7. 下の回路の動作を簡単に説明しなさい。 PST=1 で H レベルがセットされる。 EI=1 で D がセットされるイネーブル、プリセット機能付き D-FF



8. 上の回路で、トランスミッションゲートの遅延時間が 2nsec、フリップフロップの遅延時間が 12nsec、セットアップ時間が 3nsec の場合の動作周波数を求めなさい。

$$1 / (2 + 2 + 12 + 3) = 52.6 \text{ MHz}$$

9. アドレス線が 19 本、データ線が 8 本のメモリ素子を 8 個並べて 64 ビットメモリを構成する。全体の容量はどの程度になるか。概数で答えよ。

$$2^{\text{の } 25 \text{ 乗}} = 32 \text{ Mbit (4MB)}$$

10. FPGA 内で用いられる IP (Intellectual Property) にはどのようなものがあるか? 3 つ例を挙げて簡単に説明せよ。

例えば SRAM : 大規模なデータを保存する

DRAM コントローラ : 外部 DRAM の制御信号を生成する

PLL : 様々なクロックを生成する

DSP モジュール : 乗算、積和演算などを行う。

等