

この答えはあくまで一例です。部分点はあげています。

1. 論理式 $\overline{A \cdot B + C + D}$ を実現する CMOS トランジスタの接続図を示せ。

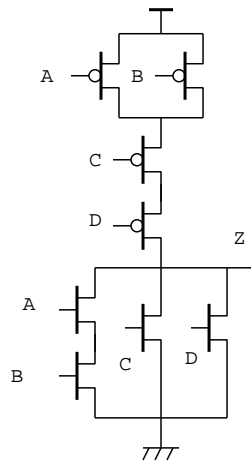


図 1: 問 1 答え

2. 図のレイアウトに対応するゲートの論理式を示せ。

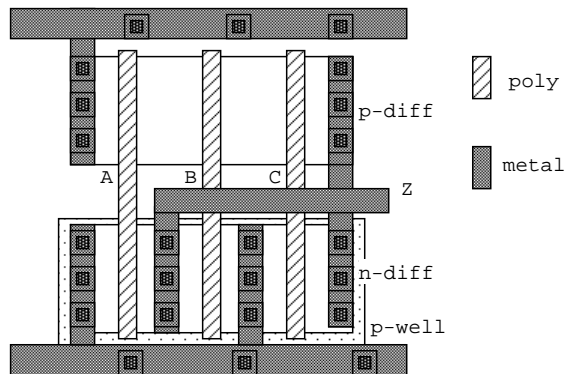


図 2: レイアウト

答: $\overline{A + B + C}$ これは論理式と指定してあるので、他の形式の答えはダメよん。

3. 図の回路において Y の真理値表を描け。

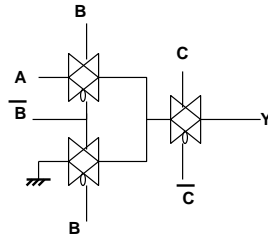


図 3: 問題 3 の回路

A	B	C	Y
-	-	0	Hi-Z
0	0	1	0
0	1	1	0
1	0	1	0
1	1	1	1

OR 回路の出力が 3 ステートになっている。

4. 図の回路の X 点のタイミングチャートを描け。

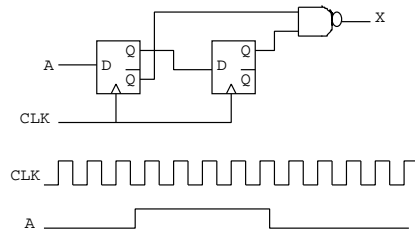


図 4: 問題 4 の回路

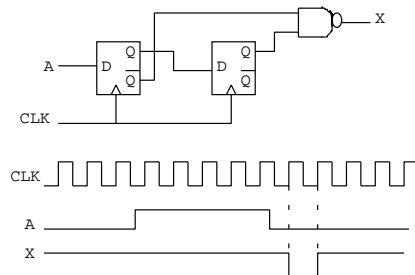


図 5: 問題 4 の答

立ち下がりエッジの同期微分

5. 図の回路の最大動作周波数を計算せよ。

74AC74 の $t_{pd}(10.5)$ + 74AS00 の $t_{pd}(4.5)$ または 4 + 74AC74 の $t_{su}(3)$ なお、この回路は L→H にしか変化しないとの指摘を受けた。このため、74AS00 の t_{pd} は t_{pdlh} でも t_{pdhl} でも正解とした。55.6MHz または 57.1MHz。組み合わせ回路のゲート 2 段分付けた人は 0 点。単位を間違えたり、周波数を計算していない人は減点してある。

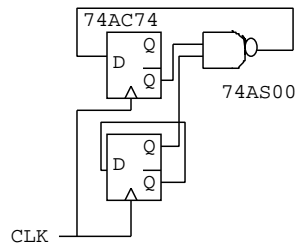


図 6: 問題 5 の回路

6. DRAM にリフレッシュ操作が必要な理由を簡単に説明せよ。

DRAM は、データを容量の中の電荷の有無によって記憶する。MOS-FET の抵抗は高いとはいえ、容量中の電荷は時間が経つと漏れてなくなってしまう。このため、定期的に充電し直す必要がある。これがリフレッシュである。

7. 図の回路の X 点の電位を求めよ。

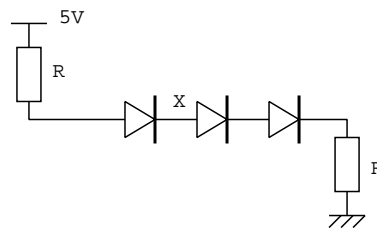


図 7: 問題 7 の回路

$5 - 0.6 \times 3 = 3.2\text{V}$ 、この電圧を 2 つの等しい抵抗 R で分圧することから抵抗の両端の電圧は 1.6V である。このため、X 点は $1.6 + 1.2 = 2.8\text{V}$

8. 下は SPARTAN-6 の規格表の一部である。LVCMOS25 を選択し、 $V_{CCO} = 2.5\text{V}$ で利用した際の L レベル, H レベルに対するノイズマージンをそれぞれ計算せよ。

H レベル: $(2.5 - 0.4) - 1.7 = 0.4\text{V}$

L レベル: $0.7 - 0.4 = 0.3\text{V}$

9. SPARTAN-6 が様々な入出力を持つ理由を簡単に説明せよ。

SPARTAN-6 は FPGA(Field Programmable Gate Array) であり、内部の論理をユーザがプログラム可能な素子である。このため、様々な用途の回路が搭載される可能性があることから、入出力も様々なレベルを選択可能にしている。

各問 11 点。1 点分は「デジタル回路」終了記念のおまけであげる。

ファイル(F) 編集(E) 表示(V) 移動(G) ヘルプ(H)
 前へ 次へ 10 (10 / 92) 幅に合わせる

XILINX Spartan-6 FPGA データシート : DC 特性およびスイッチ特性

表 9 および表 10 に示す V_{IL} および V_{IH} の値は、推奨入力電圧値です。 I_{OL} および I_{OH} の値は、 I_{OL} および I_{OH} のテスト ポイントにおける推奨動作条件で保証されています。テストは、すべての規格で仕様が満たされていることが確認できるように、一部の規格を選択し、最小 V_{CC0} およびそれぞれの V_{OL} と V_{OH} 電圧レベルで実施しています。選択された以外の規格に対しては、サンプル テストを実施しています。

表 9 : シングルエンド規格の DC 入力および出力レベル

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
LVTTTL	-0.5	0.8	2.0	4.1	0.4	2.4	注記 2	注記 2
LVCMOS33	-0.5	0.8	2.0	4.1	0.4	$V_{CC0} - 0.4$	注記 2	注記 2
LVCMOS25	-0.5	0.7	1.7	4.1	0.4	$V_{CC0} - 0.4$	注記 2	注記 2
LVCMOS18	-0.5	0.38	0.8	4.1	0.45	$V_{CC0} - 0.45$	注記 2	注記 2
LVCMOS18 (-1L)	-0.5	0.33	0.71	4.1	0.45	$V_{CC0} - 0.45$	注記 2	注記 2
LVCMOS18_JEDEC	-0.5	$35\% V_{CC0}$	$65\% V_{CC0}$	4.1	0.45	$V_{CC0} - 0.45$	注記 2	注記 2
LVCMOS15	-0.5	0.38	0.8	4.1	$25\% V_{CC0}$	$75\% V_{CC0}$	注記 3	注記 3
LVCMOS15 (-1L)	-0.5	0.33	0.71	4.1	$25\% V_{CC0}$	$75\% V_{CC0}$	注記 3	注記 3
LVCMOS15_JEDEC	-0.5	$35\% V_{CC0}$	$65\% V_{CC0}$	4.1	$25\% V_{CC0}$	$75\% V_{CC0}$	注記 3	注記 3
LVCMOS12	-0.5	0.38	0.8	4.1	0.4	$V_{CC0} - 0.4$	注記 4	注記 4
LVCMOS12 (-1L)	-0.5	0.33	0.71	4.1	0.4	$V_{CC0} - 0.4$	注記 4	注記 4
LVCMOS12_JEDEC	-0.5	$35\% V_{CC0}$	$65\% V_{CC0}$	4.1	0.4	$V_{CC0} - 0.4$	注記 4	注記 4
PCI33_3	-0.5	$30\% V_{CC0}$	$50\% V_{CC0}$	$V_{CC0} + 0.5$	$10\% V_{CC0}$	$90\% V_{CC0}$	1.5	-0.5
PCI66_3	-0.5	$30\% V_{CC0}$	$50\% V_{CC0}$	$V_{CC0} + 0.5$	$10\% V_{CC0}$	$90\% V_{CC0}$	1.5	-0.5

図 8: 問題 8 の規格表