

カウンタ

単純な16進カウンタ 非同期リセット

```
module counter (  
    input clk, rst_n,  
    output reg [3:0] c);  
always @(posedge clk or negedge rst_n) begin  
    if(!rst_n) c <=0;  
    else c <=c+1;  
end  
endmodule
```

10進カウンタ

```
module counter (  
    input clk, rst_n,  
    output reg [3:0] c);  
always @(posedge clk or negedge rst_n) begin  
    if(!rst_n) c <=0;  
    else if (c==9) c<=0;  
    else c <=c+1;  
end  
endmodule
```

9になったら次のクロックで0になる