

2018 年試験解答例

1. あるコアは最大動作周波数 3 GHz、電源電圧 1.8V で 10W 消費する。このコアを p 個利用すると、性能が $0.5p$ 倍になる。

a) 動作周波数が電源電圧に比例すると考えると、 $p=10$ の時同じ性能を得るのに必要な電力はどのようになるか？

答： $p=10$ の時性能は 5 倍になるので、動作周波数は $1/5$ で済む。このため電源電圧も $1/5$ でよければ、1 個のコアあたりの電力は $1/125$ になる。しかしこれを 10 個必要とするので $10 \cdot 1/125 = 0.08$ 倍になり、**0.8W** となる。

b) 実際は、電源電圧は一定の値よりも小さくすることはできない。この電圧を **0.6V** とするとき、 p をいくつにすると最も電力効率が良くなるか？

答：電源電圧は $1/3$ まで落とせるので、これを実現するには **6 個 p** が必要になる。これ以上増やしてもメリットがないことから $p=6$

簡単な問題なのに正答者が少なかった。

2. **Test&Set(x)** は、 x を読み出すと同時に 1 にする操作が不可分に行われる不可分命令である。この **Test&Set** 命令を用いて、クリティカルセクションを作って実行する方法を示せ。

答： **Test&Set(x)** で 0 が戻るまで繰り返す。0 を取ったら、クリティカルセクションを実行し、実行後に x に 0 を書き込む。

3. 集中メモリ型のマルチコアにおいて、3 つのプロセッサ **P1, P2, P3** が共有バスによるスヌープキャッシュを用いて一貫性を維持している。同じキャッシュブロックについて以下の操作を行った場合の各キャッシュの状態を求めよ。また、無効化信号がバス上を流れるのはどのタイミングか。

	P1	P2	P3	
① P1 が読み出し	C	-	-	
② P3 が書き込み	I	-	D	Invalidation
③ P2 が読み出し	I	C	C	
④ P1 が読み出し	C	C	C	
⑤ P2 が書き込み	I	D	I	Invalidation
⑥ P3 が書き込み	I	I	D	ここは実装依存なので両方正解

4. 上記の操作が分散共有ディレトリ方式のキャッシュで行われた場合、ホームメモリのディレトリの状態およびビットマップがどのように変化するかを示せ

- ⑦ P1 が読み出し S 100
- ⑧ P3 が書き込み D 001

- ⑨ P2 が読み出し S 011
- ⑩ P1 が読み出し S 111
- ⑪ P2 が書き込み D 010
- ⑫ P3 が書き込み D 001

5. 5-ary 6-cube で、ヘッダサイズ 1、ボディサイズ 16 フリットの packets を①Store-and-Forward 方式で転送した場合、Wormhole 方式で転送した場合の遅延時間は何クロックになるか。

D は 24、 $24 \times 17 = 408$ クロック $1 \times 24 + 16 = 40$ クロック

6. 16 ノードの Hypercube でノード 0001 からノード 1010 までの最短経路を 2 つ挙げよ。

0001->0000->0010->1010 0001-> 0011->1011->1010 0001-> 0011-> 0010 -> 1010
 0001->1001->1011->1010 0001->0000->1000->1010 0001->1001->1000->1010

7. 仮想チャネルが混雑の回避に役に立つ理由を例を挙げて説明せよ。

Wormhole ルーティングではパケットが複数のバッファを占有して動けなくなるが、この際リンク自体は使っていないため、独立したバッファで仮想チャネルを作れば混雑を迂回できる。図を用いて説明するのがいい。

8. アクセラレータを 1 つ挙げ、その性質について説明せよ。

GPU、FPGA、Xeon-Phi とかを挙げれば良い。

9. NUMA 型のマシンと NORA 型のマシンを比較し、その利点、欠点を簡単に説明せよ。

NUMA は分散共有メモリを持つが、NORA は共有メモリを持たない。このため、NUMA はプログラム開発が楽だが、ハードウェアが複雑になる。NORA は、ハードウェアは簡単だが、並列処理がメッセージベースで記述するので面倒。

10. 2003 年以降、マルチコアが普及した理由を三つ挙げ、それぞれ簡単に説明せよ。

①電力の限界、②メモリの壁 ③命令レベル並列性を生かす技術の限界 ④Moore の法則の崩壊によりクロック増加の限界 など。